

ESERCITAZIONE di LABORATORIO

Corso di Architettura I
Prof.ssa P.Velardi

A.A. 2001 – 2002

Si realizzino secondo le specifiche date a lezione, un addizionatore sequenziale ed un addizionatore parallelo che lavorino su numeri naturali codificati con 8 bit. Non possono essere usati moduli predefiniti, ma bisogna implementare il tutto usando solo porte logiche e flip flop. E' ovviamente necessario includere un clock ed un meccanismo per generare input numerici variabili.

1. Una volta realizzato lo schema circuitale, se ne valutino i tempi di risposta usando il meccanismo di visualizzazione delle forme d'onda prodotte.
2. In seguito, si cerchi di modificare il circuito nel tentativo di avvicinare il più possibile le prestazioni temporali delle due varianti dell'addizionatore. Modifiche possibili riguardano ad esempio l'utilizzo di porte aventi tempi di risposta diversi, di stesse porte ma realizzate con tecnologie differenti, di diversi flip flop, etc...

La consegna e la valutazione dell'esercitazione avverrà al momento della verbalizzazione dell'esame di Architettura I. In tale sede si dovrà portare:

- un dischetto contenente il file sorgente del circuito;
- una stampa del circuito e delle forme d'onda d'interesse;
- una breve relazione (al massimo una pagina) in cui si commentano i risultati ottenuti. (N.B.: non è richiesta la spiegazione dei passaggi che hanno portato alla progettazione del circuito, ma solo un commento ai tempi di risposta ottenuti al punto (1) ed alle modifiche apportate al circuito nel punto (2)).