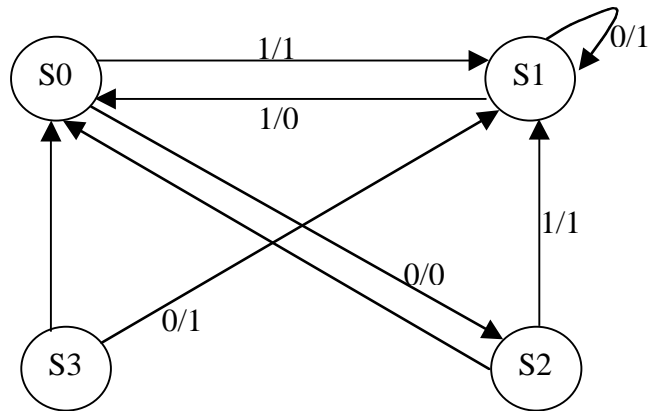


Compito A

Esercizio 1

Dato l'automa:



- disegnare il diagramma temporale per la sequenza di ingresso 01001001 specificando stati e ed uscita;
- minimizzare l'automa e, seguendo lo schema di sintesi, progettare la rete sequenziale usando flip-flop di tipo D e disegnarla.

Esercizio 2

Si hanno quattro registri sorgente S_0, S_1, S_2 e S_3 e quattro registri destinazione D_0, D_1, D_2 e D_3 di 3 bit ciascuno. Si vuole realizzare un'interconnessione tale che:

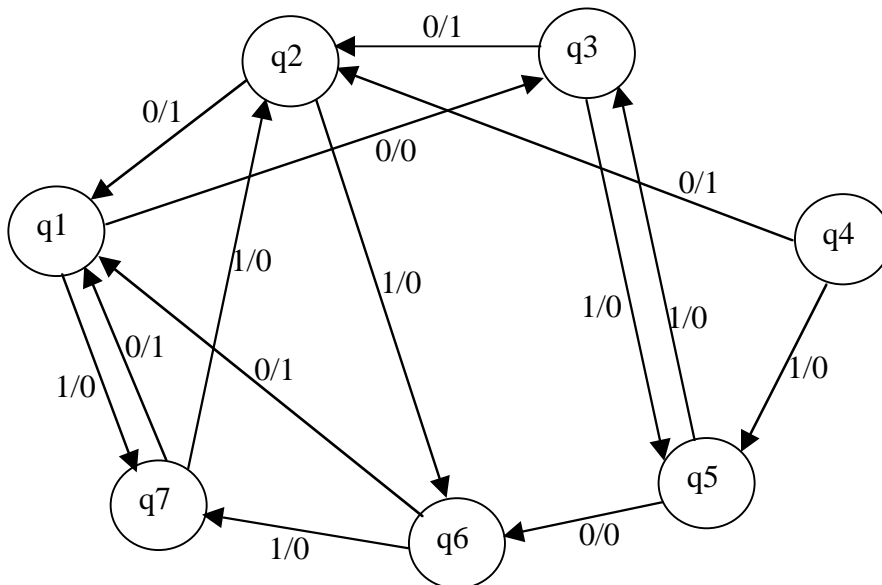
- se il numero di 1 memorizzati in S_0 è pari allora $D_i = S_i$
- altrimenti $D_{(i+1) \bmod 4} = S_i$

Si supponga infine di avere un segnale esterno GO che abilita le operazioni descritte se e solo se $GO = 1$. Si descriva l'interconnessione dettagliando tutti i segnali di controllo e le connessioni richieste.

Compito B

Esercizio 1

Minimizzare il seguente automa



Rispetto all'automata "minimo" tracciare il diagramma temporale per la sequenza di ingresso 10010100, partendo dallo stato dell'automata minimo a cui appartiene q1.

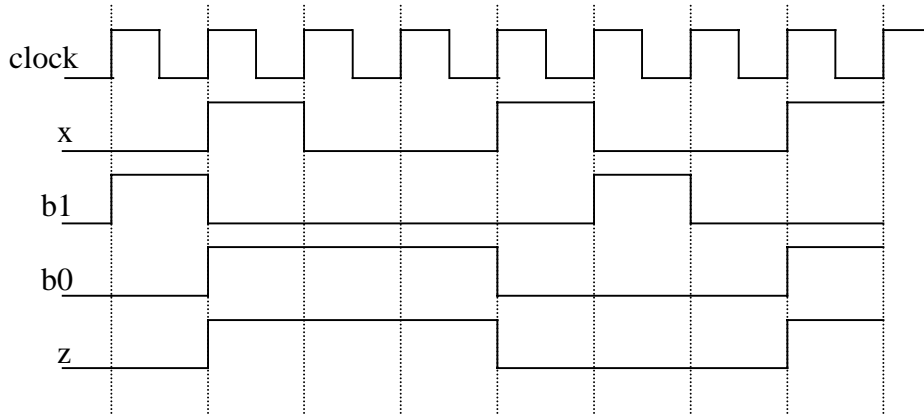
Esercizio 2

Dati 4 registri R0, R1, R2, R3 realizzare una rete di interconnessione regolata dai segnali di controllo **inR** e **op** che esegue i seguenti trasferimenti:
se $inR=1$ e $op=0$ scrive in R0 l'AND tra R1 e R3
se $inR=1$ e $op=1$ scrive in R1 l'OR tra R0 e R2
altrimenti lascia inalterati i registri.

Soluzioni compito A

Esercizio 1

a) Codificando gli stati con due bit, b_1b_0 , come: $S_0=00$ $S_1=01$ $S_2=10$ $S_3=11$ si ottiene il diagramma temporale:



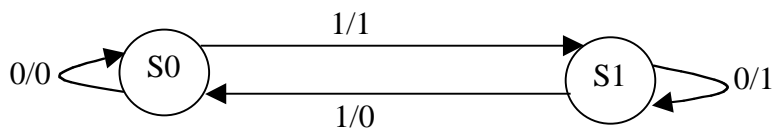
b) L'automa può essere rappresentato dalla seguente tabella:

	0	1
S0	S2/0	S1/1
S1	S1/1	S0/0
S2	S0/0	S1/1
S3	S1/1	S0/0

Per minimizzare si utilizza la tabella triangolare:

S1	X		
S2		X	
S3	X		X
	S0	S1	S2

L'automa minimo si presenta come:



e rappresenta un controllore di parità.

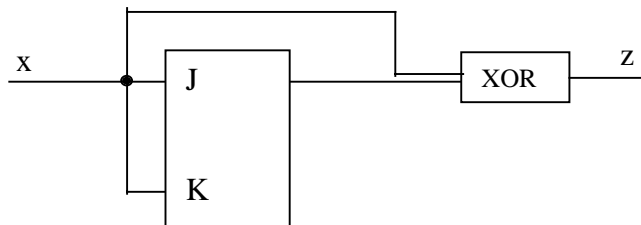
La tabella degli stati futuri :

x	q	Q	z	J	K
0	0	0	0	0	x
0	1	1	1	x	0
1	0	1	1	1	x
1	1	0	0	x	1

da cui minimizzando con Karnaugh si ricavano le espressioni:

$$J = x, \quad K = x, \quad z = x \text{ XOR } q$$

Il circuito è:



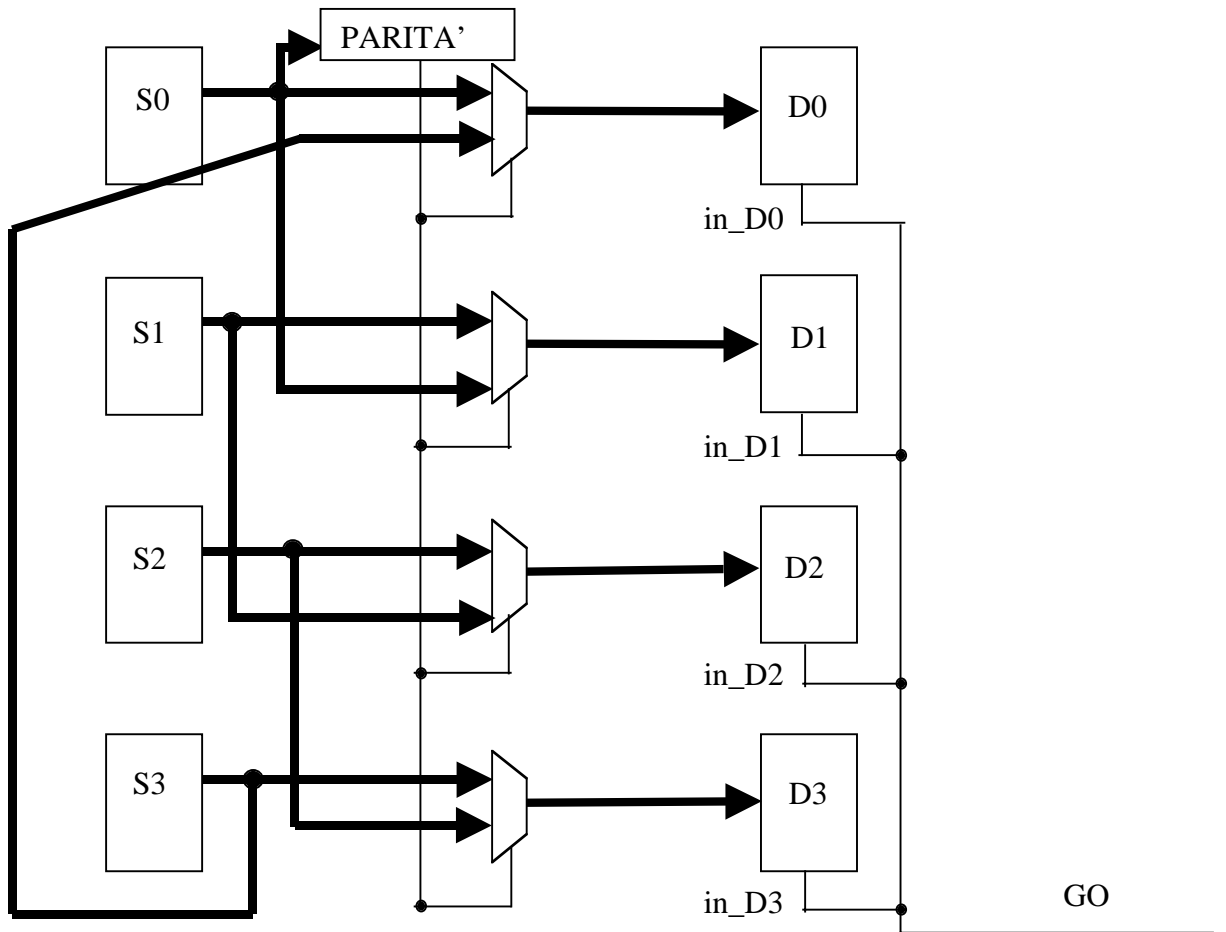
Esercizio 2

Anzitutto realizziamo un circuito combinatorio che calcoli la funzione di parità per un numero di 3 bit (cioè una funzione $f(n)$ che dà 1 se e solo se il numero binario n contiene un numero pari di 1). La tabella è

x	y	z	f
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

che è realizzabile col circuito espresso dalla seguente espressione booleana $x \oplus (y \oplus z)$ (chiamiamo PARITA' tale circuito).

L'interconnessione richiesta è pertanto



Soluzioni Compito B

Esercizio 1

La rappresentazione tabellare dell'automa è

	0	1
Q1	Q3 / 0	Q7 / 0
Q2	Q1 / 1	Q6 / 0
Q3	Q2 / 1	Q5 / 0
Q4	Q2 / 1	Q5 / 0
Q5	Q6 / 0	Q3 / 0
Q6	Q1 / 1	Q7 / 0
Q7	Q1 / 1	Q2 / 0

La tabella per la minimizzazione è

Q2	X					
Q3	X	(5,6) (1,2)				
Q4	X	(5,6) (1,2)				
Q5	(3,6) (3,7)	X	X	X		
Q6	X	(6,7)	(1,2) (5,7)	(1,2) (5,7)	X	
Q7	X	(2,6)	(1,2) (2,5)	(1,2) (2,5)	X	(2,7)
	Q1	Q2	Q3	Q4	Q5	Q6

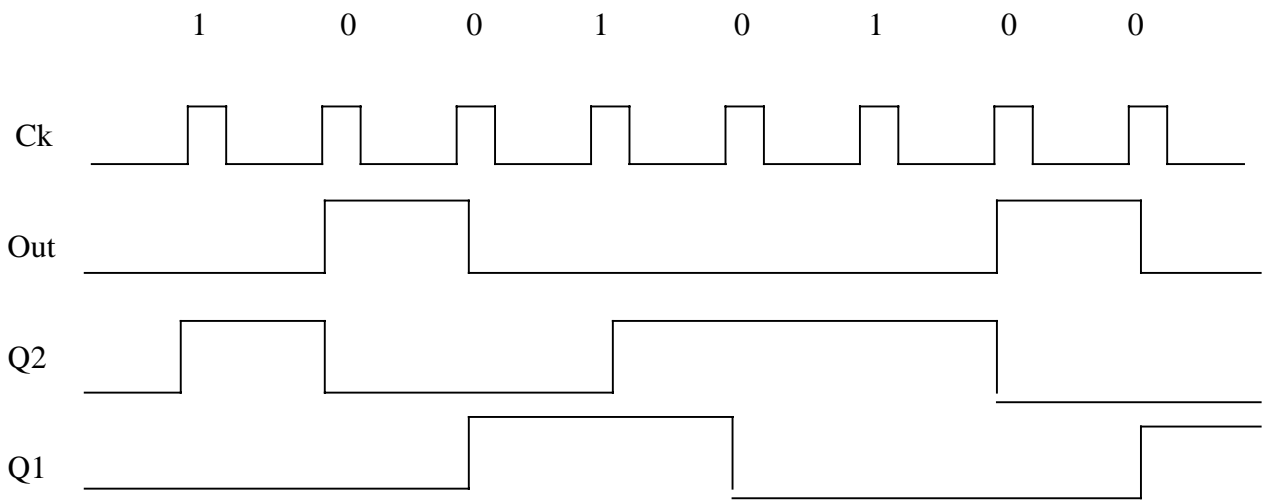
Le caselle marcate con X sono distinguibili per via dell'output; tutte le caselle con due coppie sono distinguibili, mentre le caselle con una coppia sono equivalenti. Pertanto il nuovo automa avrà quattro stati:

- $S1 = \{ q1 \}$
- $S2 = \{ q2, q6, q7 \}$
- $S3 = \{ q3, q4 \}$
- $S4 = \{ q5 \}$

e con il comportamento descritto dalla tabella seguente:

	0	1
S1	S3 / 0	S2 / 0
S2	S1 / 1	S2 / 0
S3	S2 / 1	S4 / 0
S4	S2 / 0	S3 / 0

Il diagramma temporale è (con la codifica $Q1Q2 = 00$ corrisponde a S1, 01 corrisponde a S2, 10 a S3 e 11 a S4):



Esercizio 2

Lo schema della rete di interconnessione richiesta è:

