

# Compito A

## Esercizio 1

Progettare una rete sequenziale con tre uscite S C eD, ciascuna delle quali comanda l'accensione di tre lampadine L1 L2 ed L3 (ad es. se  $S=1$  L1 è accesa).

Il ritmo del circuito è scadenzato da un segnale di clock.

Il circuito riceve un input binario I, tale per cui:

finchè  $I=1$ , le lampadine devo accendersi in sequenza ed una alla volta, cioè le uscite devono ciclare come segue: 100, 010, 001, 100 ...

finchè  $I=0$ , le lampadine devono accendersi due alla volta, secondo lo schema: 110, 011, 101, 110

Un cambiamento del valore di I mentre si sta visualizzando una sequenza porta (al clock successivo) allo stato in cui si produce il primo input dell'altra sequenza (rispettivamente, 100 e 110).

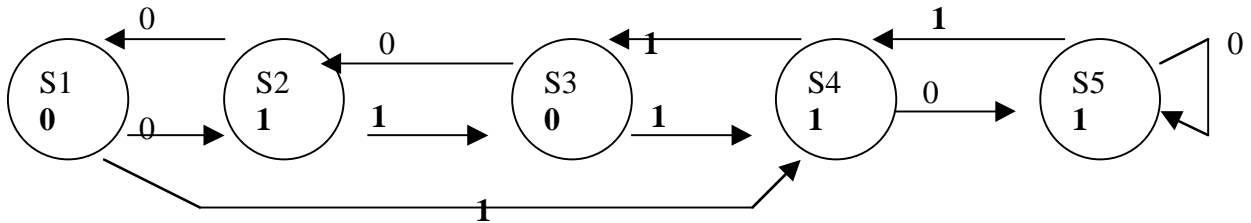
## Esercizio 2

Progettare una rete sequenziale che ha due ingressi binari  $x_1x_0$  e tre uscite binarie  $z_2z_1z_0$ , che conti modulo 8 il numero di volte che  $x_0=x_1$ .

## Compito B

### Esercizio 1

Minimizzare il numero di stati dell'automa qui rappresentato. Disegnare l'automa minimo.



### Esercizio 2.

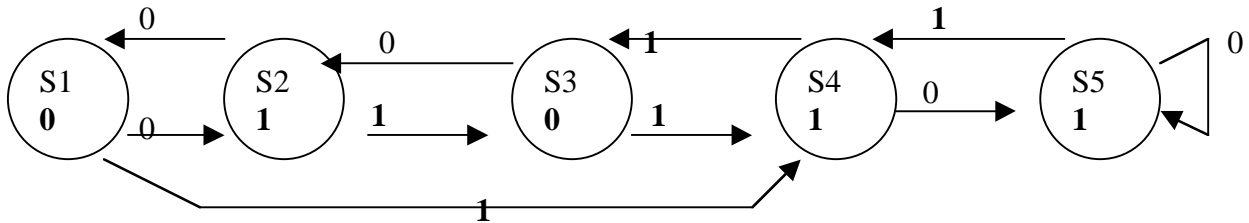
Progettare una rete logica combinatoria che confronta due interi A e B in complemento a 2, ciascuno a 3 bit (valori da -4 a +3) fornisce su tre linee L, E e G ciascuna delle quali è 1 in corrispondenza dei 3 possibili risultati di un confronto fra A e B. In particolare:

L=1 se  $A < B$ , E=1 se  $A = B$ , G=1 se  $A > B$

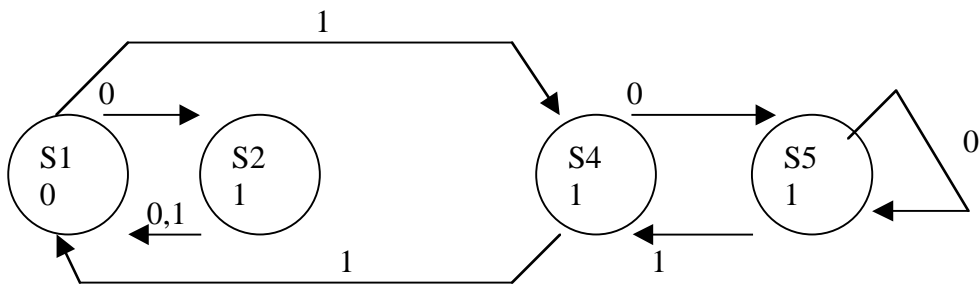
# Soluzioni

## Esercizio B1

Minimizzare il numero di stati dell'automa qui rappresentato. Disegnare l'automa minimo.



S2	X			
S3		X		
S4	X	X	X	
S5	X	X	X	X
	S1	S2	S3	S4



## Esercizio A2

Progettare una rete sequenziale che ha due ingressi binari  $x_1x_0$  e tre uscite binarie  $z_2z_1z_0$ , che conti modulo 8 il numero di volte che  $x_0=x_1$ .

Il circuito è costituito da una porta XOR, la quale produce un 1 ogni volta che  $x_0=x_1$  ( $y = x_0\bar{x}_1 + \bar{x}_0x_1$ ). Il segnale  $y$  serve per sincronizzare un contatore modulo 8. Ogni transizione ad 1 del segnale  $y$ , utilizzato come clock dei 3 FF del contatore porta ad un incremento della sequenza.

La tabella degli stati futuri di un contatore modulo 8 è:

Stato presente: Q2Q1Q0	J2K2 J1K1 J0K0	Stato futuro = output Q2Q1Q0
000	0X 0X 1X	001
001	0X 1X X1	010
010	0X X0 1X	011
011	1X X1 X1	100
100	X0 0X 1X	101
101	X0 1X X1	110
110	X0 X0 1X	111
111	X1 X1 X1	000

DA CUI SI RICAVALA:  $J_0=K_0=1$   $J_2=K_2=Q_0$   $K_2=J_2=Q_0Q_1$

(in generale per un contatore modulo n si ha  $m=\log_2 n$  e  $J_{m-1} = K_{m-1} = \prod_{i=0..m-1} Q_i$ )

## Esercizio A1

Progettare una rete sequenziale con tre uscite S C e D, ciascuna delle quali comanda l'accensione di tre lampadine L1 L2 ed L3 (ad es. se S=1 L1 è accesa).

Il ritmo del circuito è scadenzato da un segnale di clock.

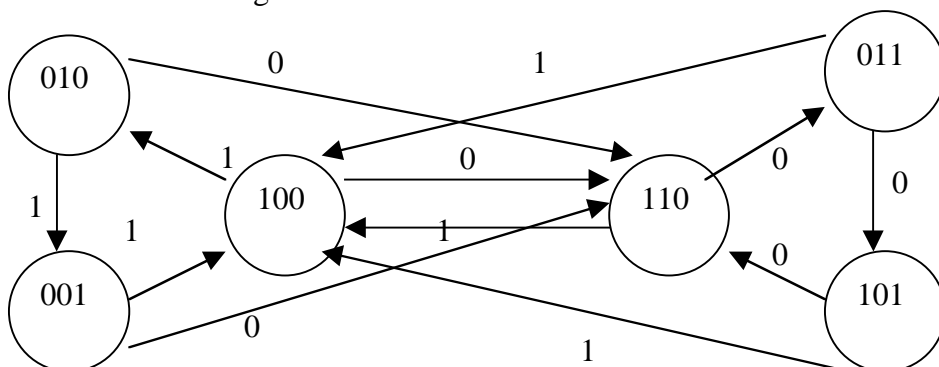
Il circuito riceve un input binario I, tale per cui:

finchè I=1, le lampadine devono accendersi in sequenza ed una alla volta, cioè le uscite devono ciclare come segue: 100, 010, 001, 100 ...

finchè I=0, le lampadine devono accendersi due alla volta, secondo lo schema: 110, 011, 101, 110.

Un cambiamento del valore di I mentre si sta visualizzando una sequenza porta (al clock successivo) allo stato in cui si produce il primo input dell'altra sequenza (rispettivamente, 100 e 110).

L'automa è visualizzato in figura



## Esercizio B2.

Progettare una rete logica combinatoria che confronta due interi A e B in complemento a 2, ciascuno a 3 bit (valori da -4 a +3) fornisce su tre linee L E e G ciascuna delle quali è 1 in corrispondenza dei 3 possibili risultati di un confronto fra A e B. In particolare:  
 $L=1$  se  $A < B$ ,  $E=1$  se  $A = B$ ,  $G=1$  se  $A > B$

Ricordate che, in complemento a due, un intero N si esprime mediante la:

$$N = -2^{n-1} + \sum_{i=0}^{n-2} b_i 2^i$$

$$b_i \in \{0, 1\}$$

Quindi, con numeri di tre bit, si ha:

$N_{10}$	$N_{Ca2}$
+3	011
+2	010
+1	001
0	000
-1	111
-2	110
-3	101
-4	100

Ad es,  $100 = -1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 = -4$

Per risolvere l'esercizio, si consideri che il confronto dei bit più significativi delle stringhe A e B può portare in alcuni casi ad una decisione, senza dover confrontare il resto delle stringhe. Infatti, indicando con  $A_{n-1}$  e  $B_{n-1}$  gli MSB di A e B (nel caso generale di stringhe di n bit), si ha:

$A_{n-1}$ $B_{n-1}$	L E G	L1 G1
00	? ? ?	00
01	1 0 0 <b>B &lt; A</b>	10
10	0 0 1 <b>A &lt; B</b>	01
11	? ? ?	00

Indichiamo con C0 il circuito combinatorio la cui tabella di verità è qui sopra riportata, e con L1 e G1 le relative uscite (la colonna centrale non fa parte della tabella).

Se il primo confronto non produce una decisione, si deve passare al confronto delle due sottostringhe  $A_{n-2}..A_1A_0$  e  $B_{n-2}..B_1B_0$ . Tale confronto a questo punto può utilizzare i normali circuiti di paragone, utilizzati per i numeri naturali. Per come sono rappresentati i numeri in Ca2, un circuito di paragone "standard" può confrontare anche numeri negativi, infatti ad es. -4 (100) è minore di -1 (111).

Per risolvere il problema in maniera generale, cioè indipendentemente dal numero di bit delle stringhe A e B (è possibile una soluzione ad-hoc per il caso di confronto di stringhe di due bit, mediante un circuito combinatorio avente in ingresso la stringa  $A_1A_0B_1B_0$ ), possiamo usare 3 circuiti combinatori diversi:

C1 un comparatore di maggioranza stretta, che produce un output  $Y1=1$  se  $A > B$

C2 un comparatore di minoranza stretta che produce un output  $Y2=1$  se  $A < B$

C3 un rilevatore di uguaglianza, che produce  $Y3=1$  se  $A=B$

C1, C2 e C3 ricevono in ingresso solo gli  $n-1$  bit meno significativi delle stringhe  $n$ -arie  $A$  e  $B$ . C1 e C2 si realizzano mediante una cascata di moduli "comparatori di maggioranza" ciascuno dei quali riceve il risultato della comparazione del modulo precedente ( $t_{i-1}$ ) e produce un output per il comparatore seguente ( $t_i$ ). Il valore dei  $t_i$  sarà uno se le sottostringhe confrontate fino al modulo  $i$  producono il risultato  $A_{i,i-1..0} > B_{i,i-1..0}$ .

