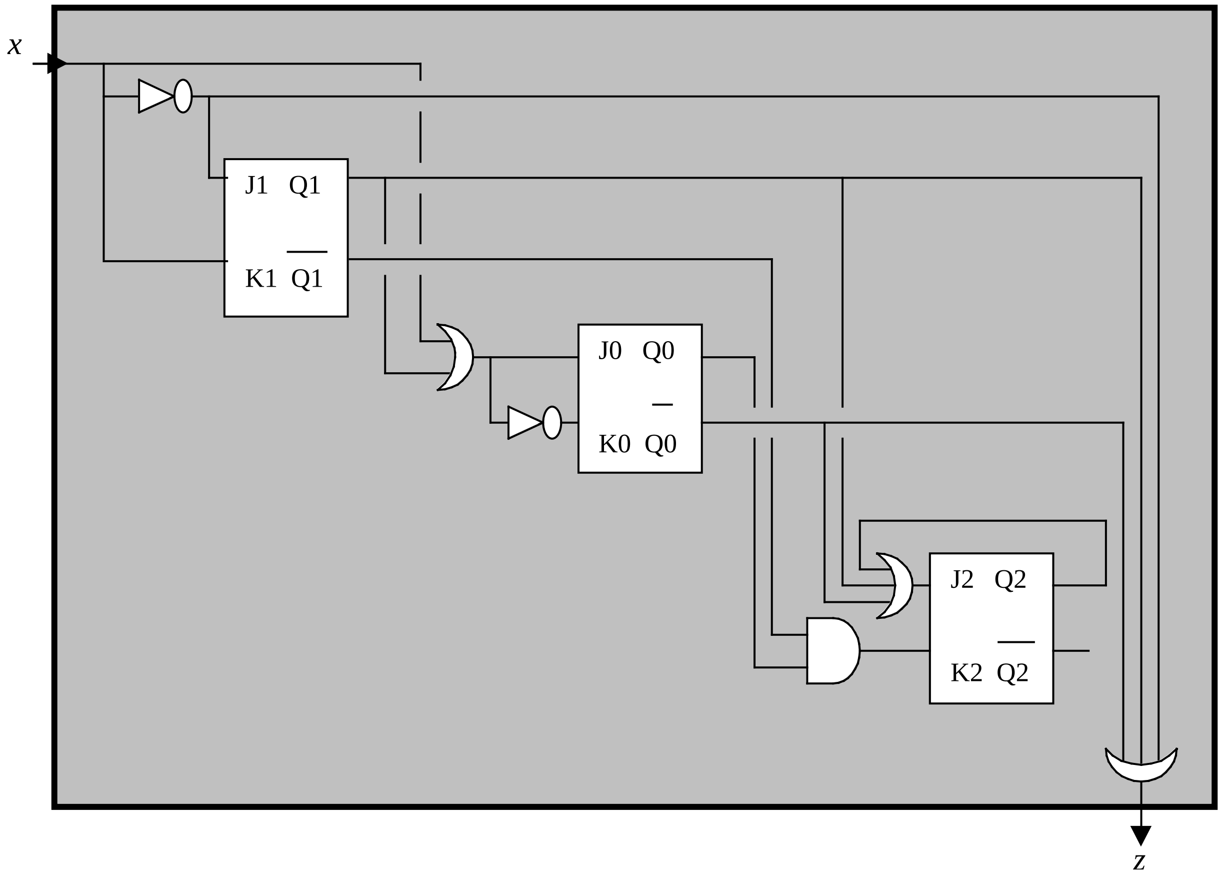
2° ESONERO DI ARCHITETTURA I

Martedì, 15 Gennaio 2002 ore 14

COMPITO A

Esercizio 1

Si analizzi, secondo la metodologia vista a lezione, la seguente rete sequenziale:



Infine si descriva a parole il funzionamento dell'automa ottenuto.

Esercizio 2

Si costruisca una rete sequenziale che funzioni da contatore dei multipli di 2 modulo 16, cioè una rete che dia in output la sequenza 0, 2, 4, 6, 8, 10, 12, 14, 0, …

Si utilizzino per la sintesi FF di tipo SR.

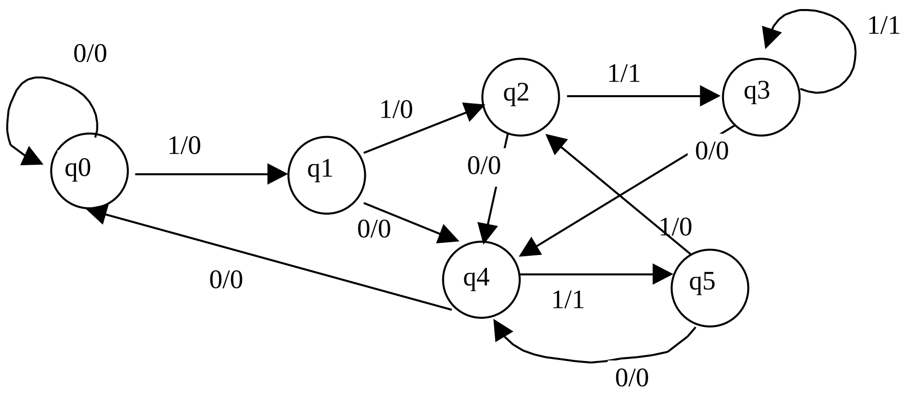
2° ESONERO DI ARCHITETTURA I

Martedì, 15 Gennaio 2002 ore 14

COMPITO B

Esercizio 1

Si consideri il seguente automa:



Verificare se l'automa è minimizzabile e descriverne il comportamento.

Si disegni il diagramma temporale in cui siano rappresentati lo stato dell'automa e l'uscita prodotta per la sequenza di ingresso: 010111001101, considerando che la rete sequenziale corrispondente sia sincronizzata da un segnale orologio periodico e che le transizioni avvengano su fronte di salita del clock.

Esercizio 2

Progettare una rete sequenziale a due ingressi **a** e **b** ed una uscita **z** tale che l'uscita è 1 se e solo se gli ultimi due caratteri sulla sequenza **a** e gli ultimi due caratteri sulla sequenza **b** contengono complessivamente un numero pari di 1 (ovvero z(t)=1 se la stringa a(t-1),a(t),b(t-1),b(t) contiene un numero pari di "1").

Il progetto deve essere svolto seguendo lo schema formale di sintesi, utilizzando flip-flop di tipo JK ed usando i simboli don't care.

2° ESONERO DI ARCHITETTURA I

Martedì, 15 Gennaio 2002 ore 14

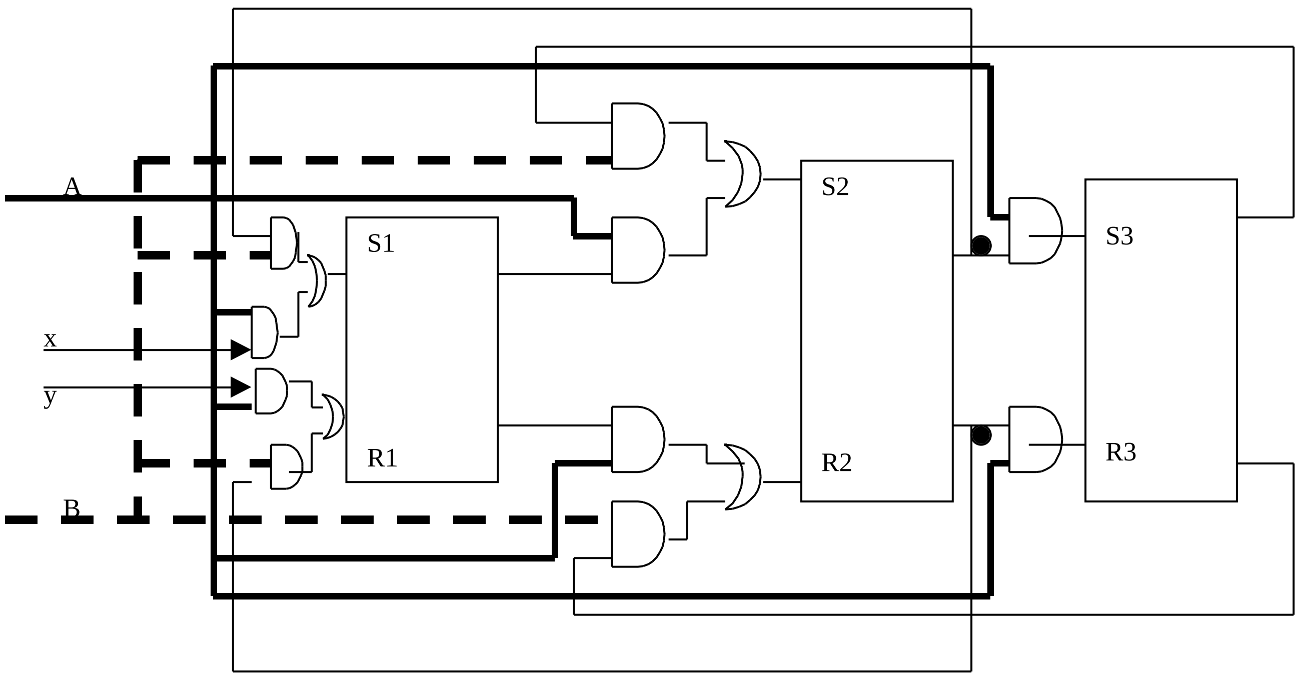
COMPITO C

Esercizio 1

Progettare un circuito sequenziale che riceva in ingresso due stringhe sequenziali a(t) e b(t) e produce in uscita "10" se a(t)a(t-1)..a(0)>b(t)b(t-1)..b(0) , produce "01" se a(t)a(t-1)..a(0)<b(t)b(t-1)..b(0), ed infine produce "11" se a(t)a(t-1)..a(0)=b(t)b(t-1)..b(0).
Il progetto deve essere svolto seguendo lo schema formale di sintesi, utilizzando flip-flop di tipo JK.

Esercizio 2

Analizzare il seguente circuito sequenziale secondo la metodologia di analisi vista a lezione. Gli input sono x ed y, mentre A (linea marcata scura) e B (linea marcata scura e tratteggiata) sono segnali di controllo. Si assume che la condizione A=B=1 non sia mai verificata. Quale altra condizione deve esistere sugli input x ed y ?



SOLUZIONI - Compito A:

Es. 1

Le EB associate sono:

$J1 = \bar{x}$ $\quad K1 = x$ $\quad J0 = x + Q1$ $\quad K0 = \overline{x + Q1} = \bar{x}\ \overline{Q1}$

$J2 = Q2 + Q1 + \overline{Q0}$ $\quad K2 = Q0\ \overline{Q1}$ $\quad z = \bar{x} + \overline{Q0} + Q1$

da cui

x	**Q2**	**Q1**	**Q0**	**J2**	**K2**	**J1**	**K1**	**J0**	**K0**	***z* (t)**	**Q2**	**Q1**	**Q0**
	(t)					**(t)**						**(t+1)**	
0	0	0	0	1	0	1	0	0	1	1	1	1	0
0	0	0	1	0	1	1	0	0	1	1	0	1	0
0	0	1	0	1	0	1	0	1	0	1	1	1	1
0	0	1	1	1	0	1	0	1	0	1	1	1	1
0	1	0	0	1	0	1	0	0	1	1	1	1	0
0	1	0	1	1	1	1	0	0	1	1	0	1	0
0	1	1	0	1	0	1	0	1	0	1	1	1	1
0	1	1	1	1	0	1	0	1	0	1	1	1	1
1	0	0	0	1	0	0	1	1	0	1	1	0	1
1	0	0	1	0	1	0	1	1	0	0	0	0	1
1	0	1	0	1	0	0	1	1	0	1	1	0	1
1	0	1	1	1	0	0	1	1	0	1	1	0	1
1	1	0	0	1	0	0	1	1	0	1	1	0	1
1	1	0	1	1	1	0	1	1	0	0	0	0	1
1	1	1	0	1	0	0	1	1	0	1	1	0	1
1	1	1	1	1	0	0	1	1	0	1	1	0	1

Facendo le seguenti associazioni:

S0 → Q2 Q1 Q0 = 000 , S1 → Q2 Q1 Q0 = 001 , …

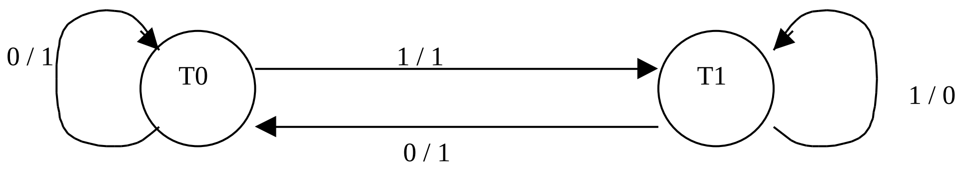
si ottiene la tabella di transizione:

	***x* = 0**	***x* = 1**
S0	S6 / 1	S5 / 1
S1	S2 / 1	S1 / 0
S2	S7 / 1	S5 / 1
S3	S7 / 1	S5 / 1
S4	S6 / 1	S5 / 1
S5	S2 / 1	S1 / 0
S6	S7 / 1	S5 / 1
S7	S7 / 1	S5 / 1

L'automa può essere minimizzato:

S1	X						
S2		X					
S3		X					
S4		X					
S5	X		X	X	X		
S6		X				X	
S7		X				X	
	S0	S1	S2	S3	S4	S5	S6

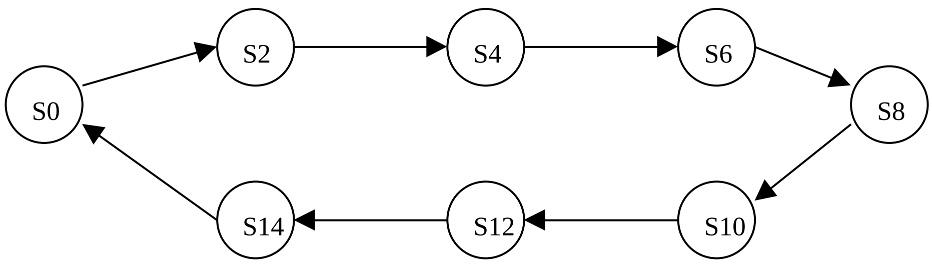
cioè T0 ≡ { S0, S2, S3, S4, S6, S7 } e T1 ≡ { S1, S5 }, da cui



L'automa dà 1 se gli ultimi due bit della sequenza ricevuta fino a quel momento non sono entrambi 1.

Es. 2

L'automa è



Si osservi che l'automa è come il contatore modulo 8, solo che tutti gli output sono moltiplicati per 2 (cioè shiftati a sinistra di una posizione). Pertanto si avrà un circuito con 4 uscite, di cui la meno significativa sempre a 0 e le tre più significative come le uscite di un contatore modulo 8.

In particolare, abbiamo 8 stati e quindi 3 FF SR, con la corrispondenza

S0 → Q2 Q1 Q0 = 000 , S2 → Q2 Q1 Q0 = 001 , …

La tabella degli stati futuri è

Q2	**Q1 (t)**	**Q0**	**Q2**	**Q1 (t+1)**	**Q0**	**S2**	**R2**	**S1**	**R1 (t)**	**S0**	**R0**	**z3**	**z2 (t)**	**z1**	**z0**
0	**0**	**0**	0	0	1	0	-	0	-	1	0	0	0	0	0
0	**0**	**1**	0	1	0	0	-	1	0	0	1	0	0	1	0
0	**1**	**0**	0	1	1	0	-	-	0	1	0	0	1	0	0
0	**1**	**1**	1	0	0	1	0	0	1	0	1	0	1	1	0
1	**0**	**0**	1	0	1	-	0	0	-	1	0	1	0	0	0
1	**0**	**1**	1	1	0	-	0	1	0	0	1	1	0	1	0
1	**1**	**0**	1	1	1	-	0	-	0	1	0	1	1	0	0
1	**1**	**1**	0	0	0	0	1	0	1	0	1	1	1	1	0

Usando le mappe di Karnaugh si ottiene:

$S2 = Q2\ Q1\ \overline{Q0}$ $\quad$ $R2 = Q2\ Q1\ Q0$ $\quad$ $S1 = \overline{Q1}\ Q0$ $\quad$ $R1 = Q1\ Q0$

$S0 = Q0$ $\quad$ $R0 = Q0$ $\quad$ $z3 = Q2$ $\quad$ $z2 = Q1$ $\quad$ $z1 = Q0$ $\quad$ $z0 = 0$

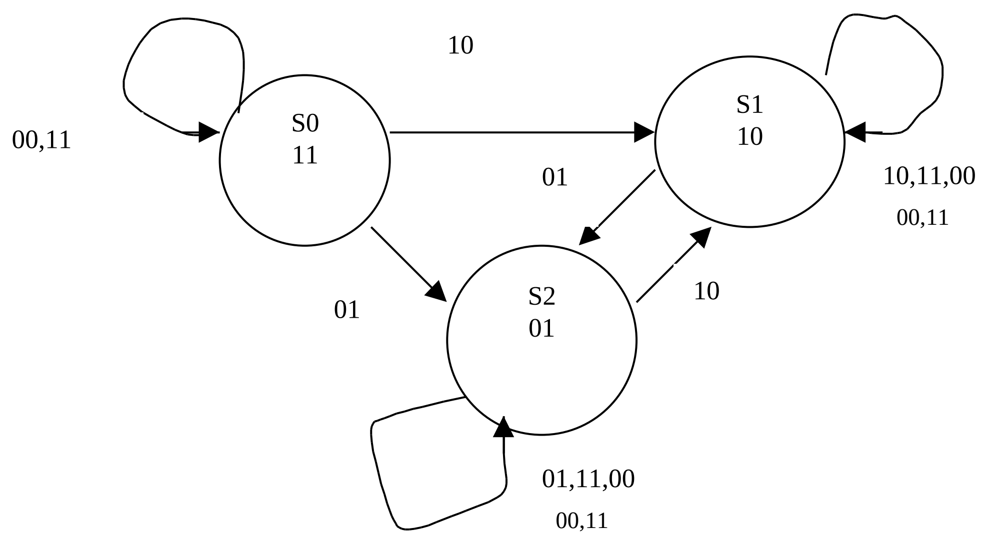
da cui la rete desiderata.

Soluzioni Compito C del 15-1-2002

Esercizio 1

Risolviamo il problema con un automa di Moore, il cui output coincide con il contenuto della memoria.
Perciò abbiamo:
S0: stato iniziale, in cui il sistema permane finché le due stringhe non si differenziano. Associamo a questo stato i valori Q0=1, Q1=1
S1: stato in cui il sistema permane se A>B. Identifichiamo questo stato con Q0=0, Q1=1
S2: stato in cui il sistema permane se A<B. Identifichiamo questo stato con Q0=1, Q1=0

Con questa codifica, gli output dell'automa coincidono con i valori di Q0,Q1
L'automa è il seguente:



a(t)b(t)Q1(t)Q0(t)	Q1(t+1)Q0(t+1)	J1(t) K1(t)	J0(t)K0(t)
0000	00	OX	0X
0001	01	0X	X0
0010	10	X0	0X
0011	XX	XX	XX
0100	01	0X	1X
0101	01	0X	XO
0110	01	X1	1X
0111	XX	XX	XX
1000	10	1X	0X
1001	10	1X	X1
1010	10	X0	0X
1011	XX	XX	XX
1100	0X	0X	0X
1101	0X	0X	X0
1110	10	X0	0X
1111	XX	XX	XX

Risolvendo con le mappe di Karnaugh e sfruttando le condizioni di indifferenza (X), si ottiene:

$K_0 = a\bar{b}$ $J_0 = \bar{a}b$

$K_1 = \bar{a}b$ $J_1 = a\bar{b}$

Esercizio 2

Osservando il circuito, ricaviamo le espressioni booleane per gli input SR dei vari FF:

$S_1 = Ax + BQ_2$ $R_1 = Ay + B\bar{Q}_2$

$S_2 = AQ_1 + BQ_3$ $R_1 = A\bar{Q}_1 + B\bar{Q}_3$

$S_3 = AQ_2 + B\bar{Q}_2$

<u>Si tratta di uno shift left-right register, visto a lezione</u>.

Quando A=1, B=0 abbiamo uno slittamento a destra:

$Q_2(t+1) = Q_1(t)$ $Q_3(t+1) = Q_2(t)$ mentre per Q1 vale quanto segue:

xy(t)	$Q_1(t+1)$
00	$Q_1(t)$
01	0
10	1
11	n.a.

Si ricordi che, per FF di tipo SR, la condizione "11" porta ad uno stato non stabile.

Se A=0,B=1, avremo uno slittamento a sinistra:

$Q_1(t+1) = Q_2(t)$ $Q_2(t+1) = Q_3(t)$ $Q_3(t+1) = Q_3(t)$

Infine, se A=0, B=0 i tre FF mantengono in (t+1) lo stesso valore dell'istante t.

Volendo rappresentare con un automa di Mealy il registro, indichiamo con Q3Q2Q1 il generico stato del registro, dove Qi $\{0,1\}$. Rappresentiamo la generica stringa di input con la sequenza di bit b3b2b1b0, dove: b3 è il valore di A,b2 è il valore di B, b2 è il valore di x e b0 è il valore di y. Le transizioni del generico stato i (Q3Q2Q1) sono rappresentate dal seguente frammento di automa: