Architettura degli Elaboratori I

Esercitazione 3 - Progettazione di Circuiti Combinatori

Roberto Navigli

1 Sintesi

Gli esercizi di sintesi consistono nella progettazione di circuiti a partire da specifiche verbali. Il procedimento standard consiste nei seguenti passi:

- trasformazione delle specifiche verbali nella corrispondente tabella di verità;
- minimizzazione della espressione booleana (normalmente con le mappe di Karnaugh);
- disegno del circuito.

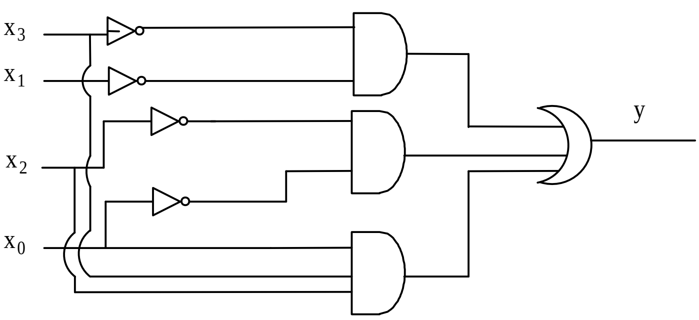
1.1 *Disegnare il circuito la cui uscita y è associata alla seguente mappa di Karnaugh:*

x_3x_2 \ x_1x_0	00	01	11	10
00	1	1	0	1
01	1	1	1	0
11	0	0	0	0
10	1	0	0	1

Questo esercizio evidenzia come effettuare il passaggio all'espressione minimizzata e quindi al disegno del circuito. Otteniamo la seguente espressione booleana:

$y = \overline{x_3}\ \overline{x_1} + \overline{x_2}\ \overline{x_0} + \overline{x_3}x_2x_0$.

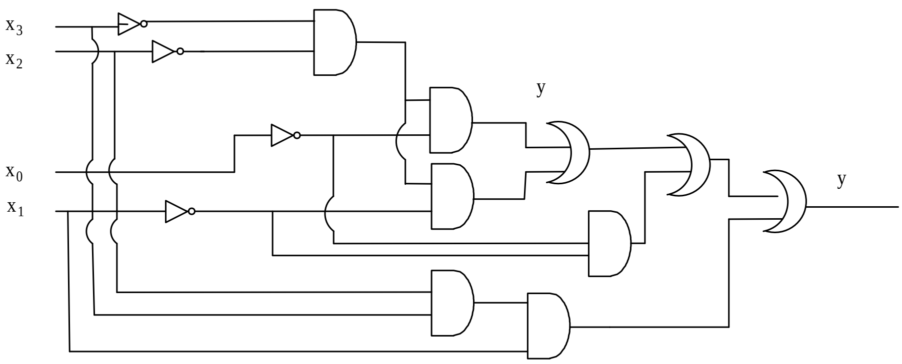
Il circuito è il seguente:



1.2 *Disegnare il circuito associato alla seguente mappa di Karnaugh.*

x_3x_2 \ x_1x_0	00	01	11	10
00	1	1	0	1
01	1	0	0	0
11	1	0	1	1
10	1	0	0	0

Otteniamo la seguente espressione booleana:
$y = \overline{x_1}\ \overline{x_0} + \overline{x_3}\ \overline{x_2}\ \overline{x_1} + \overline{x_3}\ \overline{x_2}\ \overline{x_0} + x_3x_2x_1.$
Il circuito è il seguente:



1.3 *Progettare un circuito che prende in ingresso un numero* $N = x_2x_1x_0$ *ed emette in uscita il numero* $\lfloor \frac{N}{2} \rfloor - 1$ *se* $N \geq 2$ *e 0 altrimenti.*

Scriviamo per prima cosa la tabella di verità associata alle specifiche verbali. Osserviamo che per codificare l'uscita sono sufficienti 2 bit, poiché il circuito associa in uscita un valore massimo pari a 2 (se $N = 111_2 = 7_{10}$, si ha: $\lfloor 7/2 \rfloor - 1 = 3 - 1 = 2$).

x_2	x_1	x_0	y_1	y_0
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	1	0

x_2 \ x_1x_0	00	01	11	10
0	0	0	0	0
1	0	0	1	1

da cui otteniamo che: $y_1 = x_2x_1$. Analogamente per y_0:

x_2 \ x_1x_0	00	01	11	10
0	0	0	0	0
1	1	1	0	0

quindi: $y_0 = x_2\overline{x_1}$.

1.4 *Progettare un circuito con 4 ingressi $x_3x_2x_1x_0$ che emette in uscita una stringa di 3 bit $y_2y_1y_0$ tale che $y_2y_1y_0$ rappresenta il numero di bit in ingresso pari a 1.*

Scriviamo per prima cosa la tabella di verità associata alle specifiche verbali:

x_3	x_2	x_1	x_0	y_2	y_1	y_0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	0	1	1
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	0
1	0	1	1	0	1	1
1	1	0	0	0	1	0
1	1	0	1	0	1	1
1	1	1	0	0	1	1
1	1	1	1	1	0	0

Il nostro obiettivo è ottenere le espressioni booleane minimizzate associate alle uscite del circuito y_2, y_1 e y_0. Notiamo che non è sempre necessario applicare le mappe di Karnaugh, poiché a volte è possibile ricavare le espressioni minime direttamente dalla tabella di verità. In questo caso, abbiamo che $y_2 = x_3x_2x_1x_0$ (essendo y_2 verificata solo nel caso 1 1 1 1). Per le altre due uscite applichiamo invece le mappe di Karnaugh:

x_1x_0 / x_3x_2	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	1	1	0	1
10	0	1	1	1

da cui otteniamo che: $y_1 = \overline{x_3}x_1x_0 + \overline{x_3}x_2x_0 + x_2x_1\overline{x_0} + x_3x_2\overline{x_1} + x_3\overline{x_1}x_0 + x_3\overline{x_2}x_1$. Infine, per y_0:

x_3x_2 \ x_1x_0	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

Il fatto che gli implicanti siano tutti di grandezza 1 indica che l'espressione non è minimizzabile:

$y_0 = \overline{x_3}\ \overline{x_2}\ \overline{x_1}x_0 + \overline{x_3}\ \overline{x_2}x_1\overline{x_0} + \overline{x_3}x_2\overline{x_1}\ \overline{x_0} + \overline{x_3}x_2x_1x_0 + x_3\overline{x_2}x_1x_0 + x_3x_2\overline{x_1}x_0 + x_3x_2x_1\overline{x_0}$.

1.5 *Progettare un circuito che riceve in ingresso due cifre da due bit, $X = x_0x_1$ e $Y = y_0y_1$, e produce in uscita $Z = 1$ solo se $X \leq Y$ (es. se $x_0 = 0, x_1 = 1, y_0 = 1, y_1 = 0$, allora $Z = 1$ poiché 01 < 10). Scrivere l'espressione booleana dell'uscita e disegnare il circuito corrispondente.*

La tabella di verità associata è la seguente:

x_1	x_0	y_1	y_0	z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Minimizziamo l'espressione booleana dell'uscita Z:

x_1x_0 \ y_1y_0	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	0	0	1	0
10	0	0	1	1

Ottenendo la seguente espressione booleana minimizzata: $Z = \overline{x_1}y_0 + y_0y_1 + \overline{x_1}\ \overline{x_0} + \overline{x_0}y_1 + \overline{x_1}y_1$.

1.6 *Sintetizzare il circuito con tre ingressi $x_2x_1x_0$ e 8 uscite $y_7y_6y_5y_4y_3y_2y_1y_0$. Se la stringa binaria di ingresso $x_2x_1x_0$ corrisponde al numero naturale i ($i = 0, 1, \ldots, 7$) la stringa di uscita deve avere tutti i bit uguali a zero, tranne l'i-esimo bit. Scrivere le espressioni booleane di ciascuna uscita e disegnare il circuito corrispondente.*

Scriviamo subito la tabella di verità:

x_2	x_1	x_0	y_7	y_6	y_5	y_4	y_3	y_2	y_1	y_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Notiamo che non è necessario minimizzare le espressioni booleane delle 8 uscite (poiché a ciascuna corrisponde una sola assegnazione di valori agli ingressi $x_2x_1x_0$). Otteniamo: $y_7 = x_2x_1x_0$, $y_6 = x_2x_1\overline{x_0}$, $y_5 = x_2\overline{x_1}x_0$, $y_4 = x_2\overline{x_1}\ \overline{x_0}$, $y_3 = \overline{x_2}x_1x_0$, $y_2 = \overline{x_2}x_1\overline{x_0}$, $y_1 = \overline{x_2}\ \overline{x_1}x_0$, $y_0 = \overline{x_2}\ \overline{x_1}\ \overline{x_0}$.

1.7 *Progettare un circuito combinatorio a tre ingressi $x_2x_1x_0$ e due uscite y_1y_0 tale per cui $x_2 + x_1 + x_0 = y_1y_0$ dove + indica la somma aritmetica, non logica. Scrivere le espressioni booleane di ciascuna uscita e disegnare il circuito corrispondente.*

Scriviamo la tabella di verità:

x_2	x_1	x_0	y_1	y_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Minimizziamo le espressioni booleane delle uscite y_1 e y_0 con le mappe di Karnaugh:

x_2 \ x_1x_0	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$y_1 = x_1x_0 + x_2x_0 + x_2x_1$.

x_2 \ x_1x_0	00	01	11	10
0	0	1	0	1
1	1	0	1	0

y_0 non è minimizzabile: $y_0 = \overline{x_2}\,\overline{x_1}x_0 + \overline{x_2}x_1\overline{x_0} + x_2\overline{x_1}\,\overline{x_0} + x_2x_1x_0$.