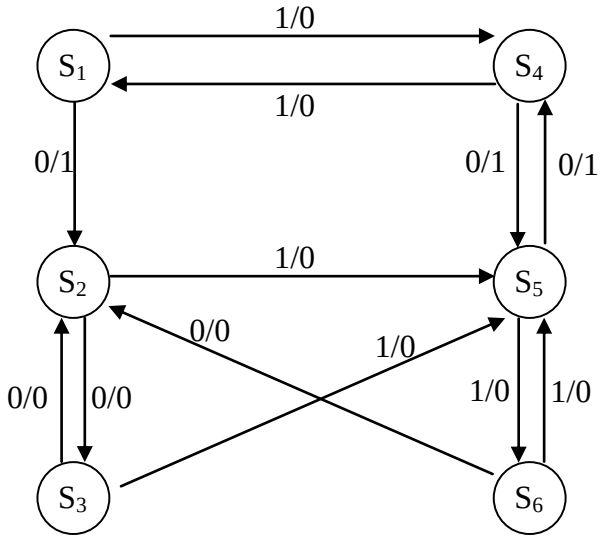
SOLUZIONI SECONDO ESONERO di PROGETTAZIONE di SISTEMI DIGITALI
10 gennaio 2013 Canale M-Z prof.ssa Massini

COMPITO B

Esercizio 1 (11 punti) Si consideri il seguente automa di Mealy:



a) Minimizzare l'automa dato (5 punti):

Confrontiamo gli stati a coppie, ponendo immediatamente distinguibili (X) quelli che lo sono perché producono output diversi con lo stesso input. Per quelli che non sono distinguibili immediatamente dall'output scriviamo per ogni possibile input la coppia di stati futuri (omettendo coppie composte da un unico stato o corrispondenti ai due stati che si stanno confrontando).

S_2	X				
S_3	X				
S_4	(2,5)	X	X		
S_5	(2,4) (4,6)	X	X	(1,6)	
S_6	X	(2,3)		X	X
	S_1	S_2	S_3	S_4	S_5

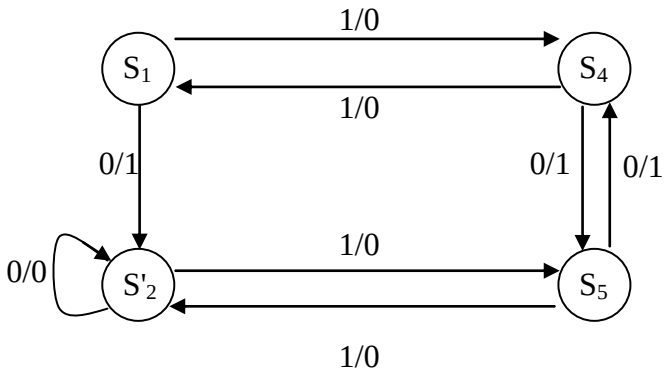
Analizziamo le coppie di stati presenti nella tabella triangolare per decidere se sono distinguibili o meno.
La coppia (2,5) corrisponde ad una coppia di stati distinguibili, quindi marchiamo con X la casella (S_1, S_4).
La coppia (2,4) corrisponde ad una coppia di stati distinguibili, quindi marchiamo con X la casella (S_1, S_5).
La coppia (1,6) corrisponde ad una coppia di stati distinguibili, quindi marchiamo con X la casella (S_4, S_5).
La coppia (2,3) corrisponde ad una coppia di stati equivalenti, quindi lasciamo vuota la casella (S_2, S_6).

S_2	X				
S_3	X				
S_4	**X**	X	X		
S_5	**X**	X	X	X	
S_6	X			X	X
	S_1	S_2	S_3	S_4	S_5

Abbiamo quindi mostrato l'indistinguibilità tra gli stati S_2, S_3 ed S_6.
L'automa minimo sarà quindi composto dai 4 stati S_1, $S'_2 = \{S_2,S_3,S_6\}$, S_4 e S_5.

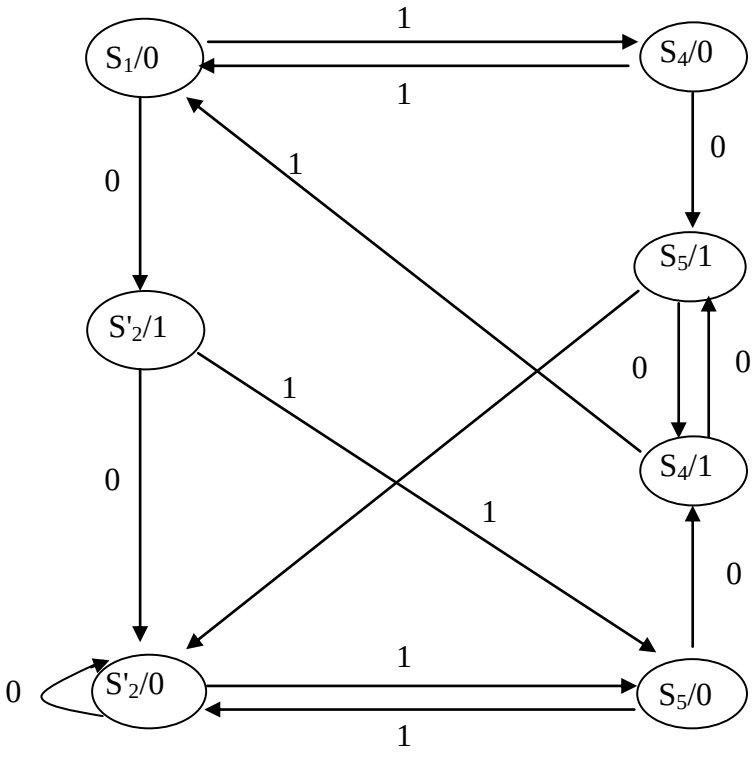
b) Stendere la tabella dell'automa minimo ottenuto (2 punti) e disegnarlo (1 punti):

	0	**1**
S_1	$S'_2/1$	$S_4/0$
S'_2	$S'_2/0$	$S_5/0$
S_4	$S_5/0$	$S_1/0$
S_5	$S_4/0$	$S'_2/0$



c) Disegnare l'automa di Moore equivalente all'automa di Mealy minimo (3 punti)

Per ogni stato dell'automa di Mealy bisognerà creare uno o due stati in quello di Moore, a seconda dei possibili output che abbiamo arrivando in quello stato.

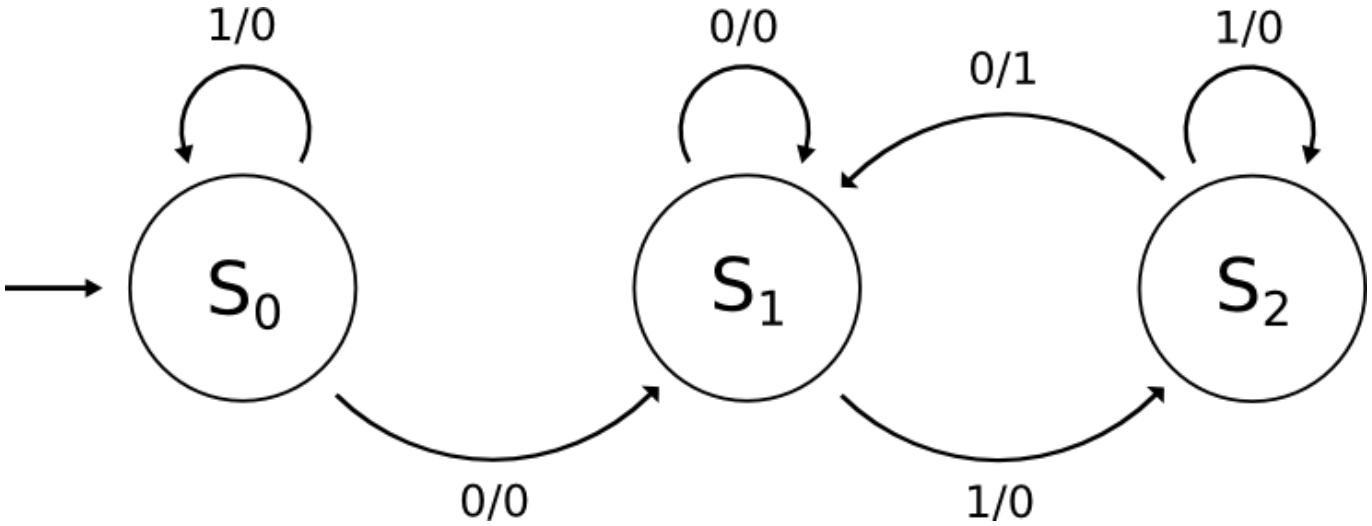


Esercizio 2 (10 punti) Realizzare una rete sequenziale che dia in output 1 ogni volta che legge da input due 0 non consecutivi (cioè, inframezzati da almeno uno 1). Per esempio:

IN: 0011010011010100…
OUT: 0000101000101010…

Si utilizzi un flip-flop di tipo SR e gli altri a propria scelta.
Si mostrino tutti i passaggi della procedura di sintesi: disegno dell'automa *(4 punti)*, tabella degli stati futuri/output/funzioni di eccitazione *(3 punti)*, calcolo delle espressioni SOP minime *(2 punti)* e disegno della rete finale *(1 punto).*

L'automa di Mealy che modella il problema è il seguente:



Per rappresentare 3 stati servono due bit y_1,y_0 che, nella rete sequenziale, saranno realizzati da due flip/flop. Rappresentiamo gli stati dell'automa nel seguente modo: $S_0 = 00$, $S_1 = 01$ e $S_2 = 10$.
Prendiamo entrambi i flip/flop di tipo SR.
Scriviamo quindi la tabella degli stati futuri.

y_1	y_0	x	Y_1	Y_0	z	**S_1**	**R_1**	**S_0**	**R_0**
0	0	0	0	1	0	0	X	1	0
0	0	1	0	0	0	0	X	0	X
0	1	0	0	1	0	0	X	X	0
0	1	1	1	0	0	1	0	0	1
1	0	0	0	1	1	0	1	1	0
1	0	1	1	0	0	X	0	0	X
1	1	0	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X

Possiamo ora calcolare le espressioni SOP minimali di z, S_1, R_1, S_0, R_0, utilizzando le mappe di Karnaught.

Z

x \ $Q_1 Q_0$	00	01	11	10
0	0	0	X	1
1	0	0	X	0

S_0

x \ $Q_1 Q_0$	00	01	11	10
0	1	X	X	1
1	0	0	X	0

R_0

x \ $Q_1 Q_0$	00	01	11	10
0	0	0	X	0
1	X	1	X	X

S_1

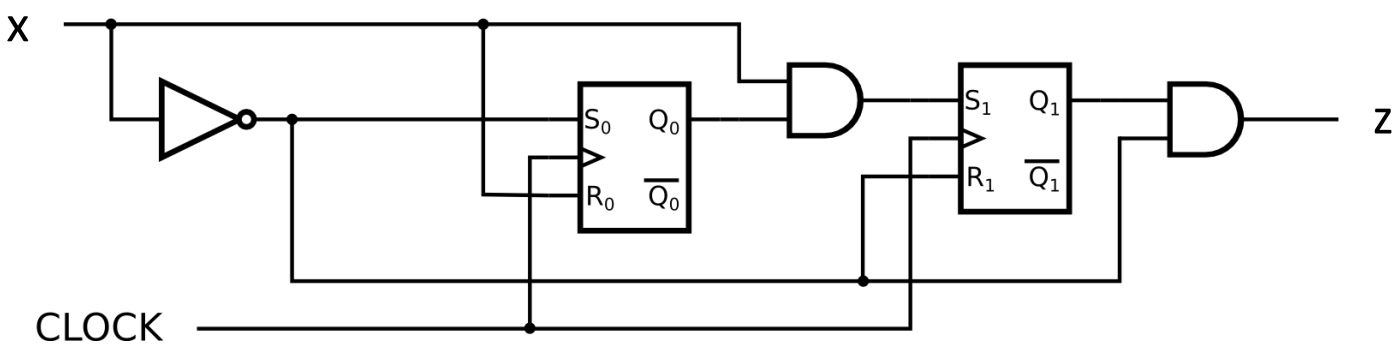
x \ $y_1 y_0$	00	01	11	10
0	0	0	X	0
1	0	1	X	X

R_1

x \ $y_1 y_0$	00	01	11	10
0	X	X	X	1
1	X	0	X	0

z = $\bar{x}\ y_1$ **S₀** = $\bar{x}$ **R₀**= x **S₁** = x y_0 **R₁**= $\bar{x}$

Possiamo quindi a questo punto disegnare il circuito.



Esercizio 3 (10 punti) Si supponga di avere 4 registri (da *n* bit, con *n* generico) R_0, R_1, R_2 ed R_3, e due segnali di controllo c_1 e c_0. Si progetti uno schema d'interconnessione tale che:

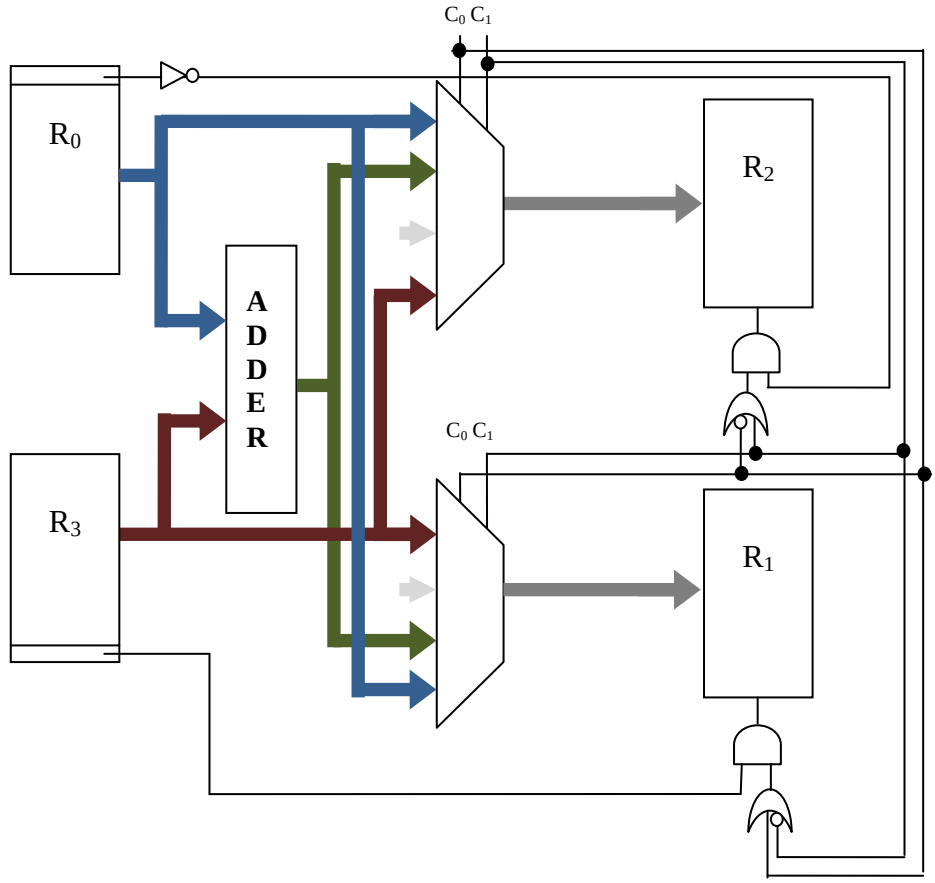
- Se $c_0 = c_1 = 0$, allora copia R_0 in R_2 ed R_3 in R_1;
- Se $c_0 = c_1 = 1$, allora copia R_0 in R_1 ed R_3 in R_2;
- Se $c_0 = 0$ e $c_1 = 1$, allora mette in R_2 la somma tra R_0 ed R_3;
- Se $c_0 = 1$ e $c_1 = 0$, allora mette in R_1 la somma tra R_0 ed R_3.

La scrittura è abilitata se:

- per R_1 quando il contenuto di R_3 è dispari
- per R_2 quando il contenuto di R_0 è ≥ 0, considerato nella rappresentazione in complemento a 2.

Si specifichino lo schema di interconnessione e i segnali di controllo necessari a realizzare i trasferimenti richiesti, usando moduli combinatori noti (per es., ADD, MUX, DECOD, …) con ingressi e uscite da *n* bit.

I registri di destinazione possibili sono R_1 e R_2, mentre i valori che vi possono essere inseriti sono quello di R_0, quello di R_3 o la loro somma.



Il segnale di abilitazione inR_2 deve valere 1 per le combinazioni di c_0c_1 pari a 00, 01, 11, che equivale a $\overline{c_0} + c_1$, **e (cioè AND)** se il contenuto di R_0 è ≥ 0, (cioè il bit più significativo è 0).

Il segnale di abilitazione inR_1 deve valere 1 per le combinazioni di c_0c_1 pari a 00, 10, 11 che equivale a $\overline{c_1} + c_0$, **e (cioè AND)** se il contenuto di R_3 è dispari (cioè il bit meno significativo è 1).

N.B. L'ordine degli ingressi del multiplexer è importante, infatti quando si ha c_0c_1= 00 passa il primo ingresso, quando si ha c_0c_1= 01 passa il secondo ingresso e così via.
N.B. In alternativa, per la combinazione di c_0c_1 non considerata si potrebbe utilizzare come ingresso al multiplexer il registro destinazione stesso, eliminando il controllo sulla configurazione di c_0c_1.