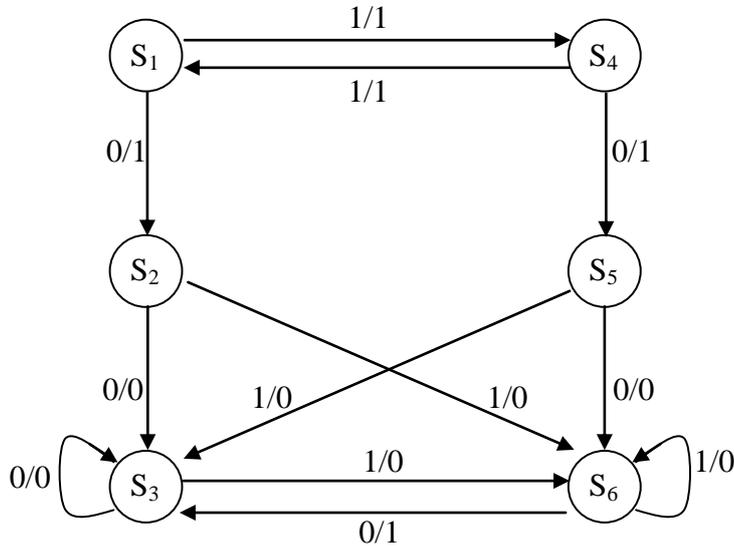


COMPITO A

Esercizio 1 (11 punti) Si consideri il seguente automa di Mealy:



a) Minimizzare l'automata dato (5 punti):

Stendiamo la tabella dell'automata:

	0	1
S ₁	S ₂ /1	S ₄ /1
S ₂	S ₃ /0	S ₆ /0
S ₃	S ₃ /0	S ₆ /0
S ₄	S ₅ /1	S ₁ /1
S ₅	S ₆ /0	S ₃ /0
S ₆	S ₃ /1	S ₆ /0

Confrontiamo gli stati a coppie, ponendo immediatamente distinguibili (X) quelli che lo sono perché producono output diversi con lo stesso input. Per quelli che non sono distinguibili immediatamente dall'output scriviamo per ogni possibile input la coppia di stati futuri (omettendo coppie composte da un unico stato o corrispondenti ai due stati che si stanno confrontando).

S ₂	X				
S ₃	X				
S ₄	(2,5)	X	X		
S ₅	X	(3,6)	(3,6)	X	
S ₆	X	X	X	X	X
	S ₁	S ₂	S ₃	S ₄	S ₅

Analizziamo le coppie di stati presenti nella tabella triangolare per decidere se sono distinguibili o meno. La coppia (3,6) corrisponde ad una coppia di stati distinguibili, quindi marchiamo con X le caselle (S₂, S₅) e (S₃, S₅).

S ₂	X				
S ₃	X				
S ₄	(2,5)	X	X		
S ₅	X	X	X	X	
S ₆	X	X	X	X	X
	S ₁	S ₂	S ₃	S ₄	S ₅

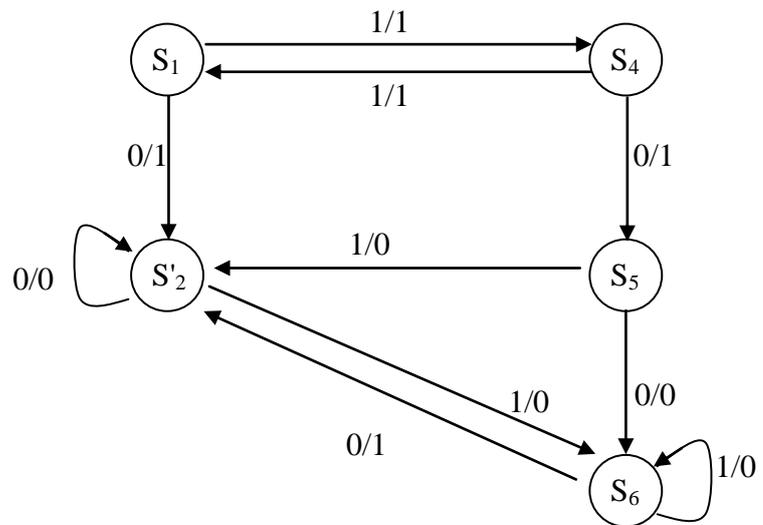
A questo punto possiamo marciare con X anche la casella (S₁, S₄).

Abbiamo quindi dimostrato l'indistinguibilità tra gli stati S₂ ed S₃.

L'automa minimo sarà quindi composto da 5 stati S₁ S'₂ S₄ S₅ ed S₆, dove S'₂ = {S₂,S₃}.

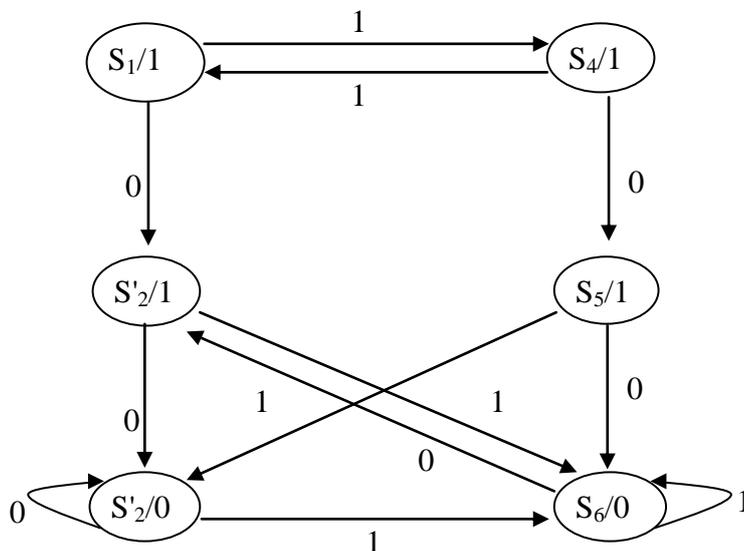
b) Stendere la tabella dell'automa minimo ottenuto (2 punti) e disegnarlo (1 punto):

	0	1
S ₁	S' ₂ /1	S ₄ /1
S' ₂	S' ₂ /0	S ₆ /0
S ₄	S ₅ /1	S ₁ /1
S ₅	S ₆ /0	S' ₂ /0
S ₆	S' ₂ /1	S ₆ /0



c) Disegnare l'automa di Moore equivalente all'automa di Mealy minimo (3 punti)

Per ogni stato dell'automa di Mealy bisognerà creare uno o due stati in quello di Moore, a seconda dei possibili output che abbiamo arrivando in quello stato.



Esercizio 2 (10 punti) Realizzare una rete sequenziale che dia in output 1 ogni volta che legge da input due 1 non consecutivi (cioè, inframezzati da almeno uno 0). Per esempio:

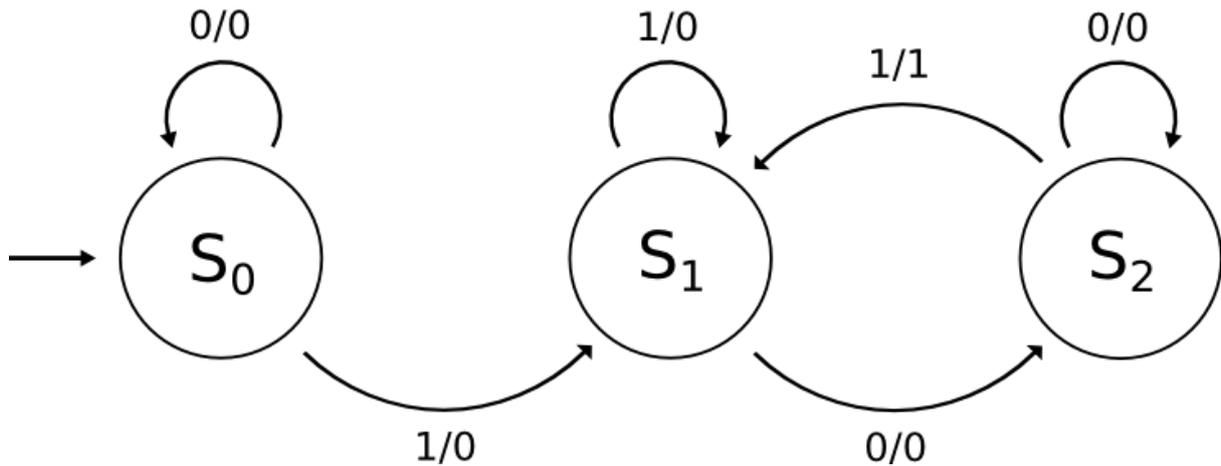
IN: 0001101000101011...

OUT: 0000001000101010...

Si utilizzi un flip-flop di tipo JK e gli altri a propria scelta.

Si mostrino tutti i passaggi della procedura di sintesi: disegno dell'automa (4 punti), tabella degli stati futuri/output/funzioni di eccitazione (3 punti), calcolo delle espressioni SOP minime (2 punti) e disegno della rete finale (1 punto).

L'automa di Mealy che modella il problema è il seguente:



Per rappresentare 3 stati servono due bit y_1, y_0 che, nella rete sequenziale, saranno realizzati da due flip/flop. Rappresentiamo gli stati dell'automa nel seguente modo: $S_0 = 00$, $S_1 = 01$ e $S_2 = 10$.

Prendiamo entrambi i flip/flop di tipo JK.

Scriviamo quindi la tabella degli stati futuri.

y_1	y_0	x	z	$Y1$	$Y0$	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	X	0	X
0	0	1	0	0	1	0	X	1	X
0	1	0	0	1	0	1	X	X	1
0	1	1	0	0	1	0	X	X	0
1	0	0	0	1	0	X	0	0	X
1	0	1	1	0	1	X	1	1	X
1	1	0	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X

Possiamo ora calcolare le espressioni SOP minimali di z, J_1, K_1, J_0, K_0 , utilizzando le mappe di Karnaugh.

Z

		y_1y_0			
		00	01	11	10
X	0	0	0	X	0
	1	0	0	X	1

J_0

		y_1y_0			
		00	01	11	10
X	0	0	X	X	0
	1	1	X	X	1

K_0

		y_1y_0			
		00	01	11	10
X	0	X	1	X	X
	1	X	0	X	X

J_1

		y_1y_0			
		00	01	11	10
X	0	0	1	X	X
	1	0	0	X	X

K_1

		y_1y_0			
		00	01	11	10
X	0	X	X	X	0
	1	X	X	X	1

$$z = x y_1$$

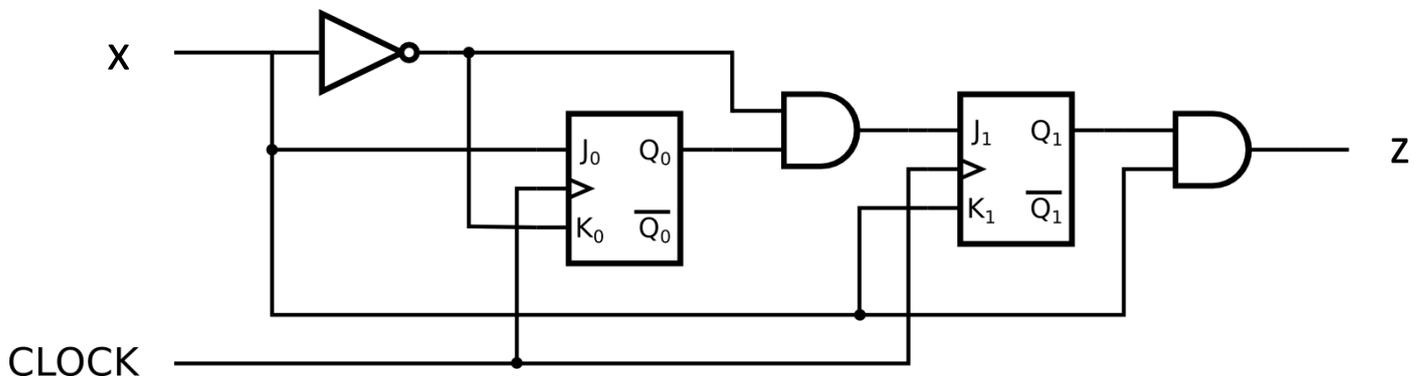
$$J_0 = x$$

$$K_0 = \bar{x}$$

$$J_1 = \bar{x} y_0$$

$$K_1 = x$$

Possiamo quindi a questo punto disegnare il circuito.



Esercizio 3 (10 punti) Si supponga di avere 4 registri (da n bit, con n generico) R_0 , R_1 , R_2 ed R_3 , e due segnali di controllo c_1 e c_0 . Si progetti uno schema d'interconnessione tale che:

- Se $c_0 = c_1 = 0$, allora mette in R_2 la somma di R_0 ed R_1 ;
- Se $c_0 = c_1 = 1$, allora mette in R_3 la somma di R_0 ed R_1 ;
- Se $c_0 = 0$ e $c_1 = 1$, allora copia R_0 in R_2 ed R_1 in R_3 ;
- Se $c_0 = 1$ e $c_1 = 0$, allora copia R_0 in R_3 ed R_1 in R_2 .

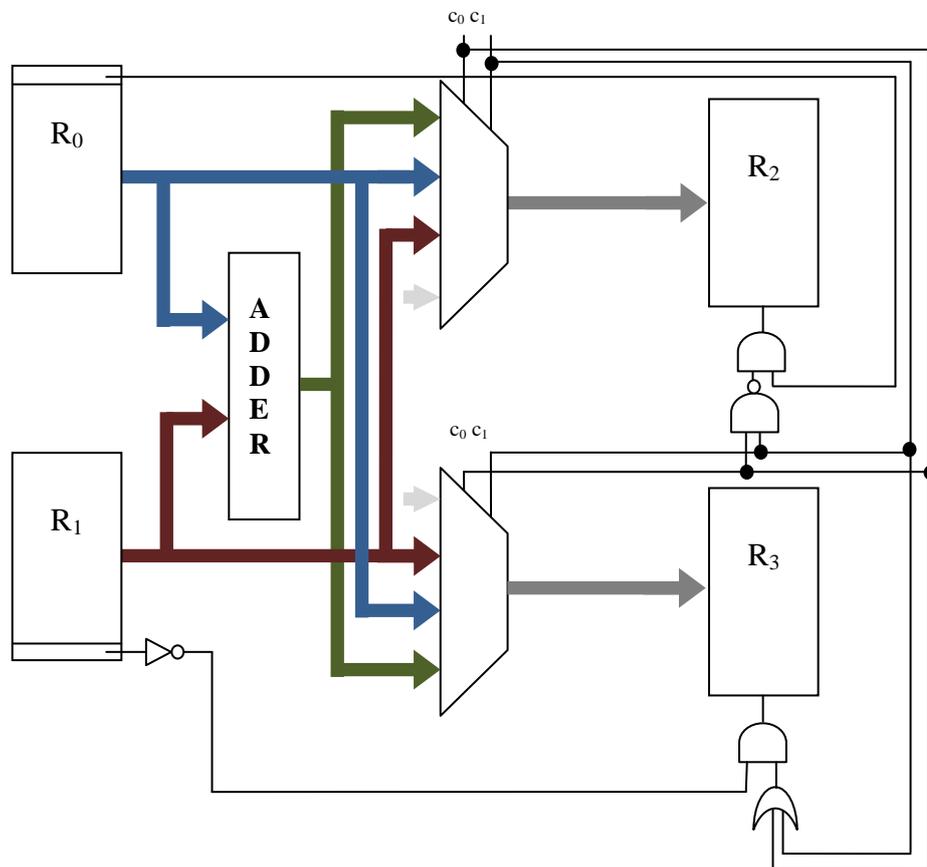
La scrittura è abilitata:

- per R_2 quando il contenuto di R_0 , considerato nella rappresentazione in complemento a 2, è negativo
- per R_3 quando il contenuto di R_1 è pari.

Si specifichino lo schema di interconnessione e i segnali di controllo necessari a realizzare i trasferimenti richiesti, usando moduli combinatori noti (per es., ADD, MUX, DECOD, ...) con ingressi e uscite da n bit.

I registri di destinazione possibili sono R_2 e R_3 , mentre i valori che costituiscono le sorgenti sono R_0 , R_1 e la loro somma.

Per selezionare uno dei possibili ingressi utilizziamo un multiplexer, i cui segnali di controllo c_0 e c_1 permetteranno di scegliere l'ingresso da mandare in uscita.



Il segnale di abilitazione in R_2 deve valere 1 per le combinazioni di c_0c_1 pari a 00, 01, 10 e (cioè **AND**) se il contenuto di R_0 è negativo (cioè il bit più significativo è 1).

Il segnale di abilitazione in R_3 deve valere 1 per le combinazioni di c_0c_1 pari a 01, 10, 11 e (cioè **AND**) se il contenuto di R_1 è pari (cioè il bit meno significativo è 0).

N.B. L'ordine degli ingressi del multiplexer è importante, infatti quando si ha $c_0c_1 = 00$ passa il primo ingresso, quando si ha $c_0c_1 = 01$ passa il secondo ingresso e così via.

N.B. In alternativa, per la combinazione di c_0c_1 non considerata si potrebbe utilizzare come ingresso al multiplexer il registro destinazione stesso, eliminando il controllo sulla configurazione di c_0c_1 .