

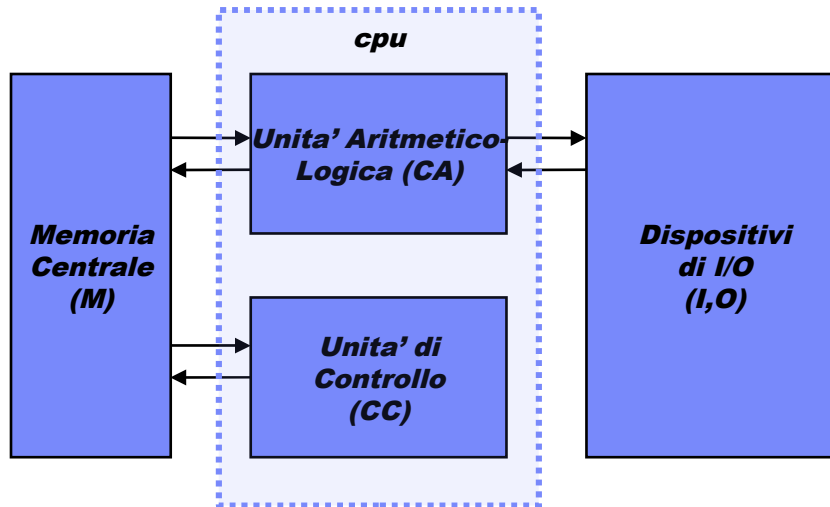
Architettura dei Sistemi Centrali (1 di 3)



Obiettivi del Capitolo 1

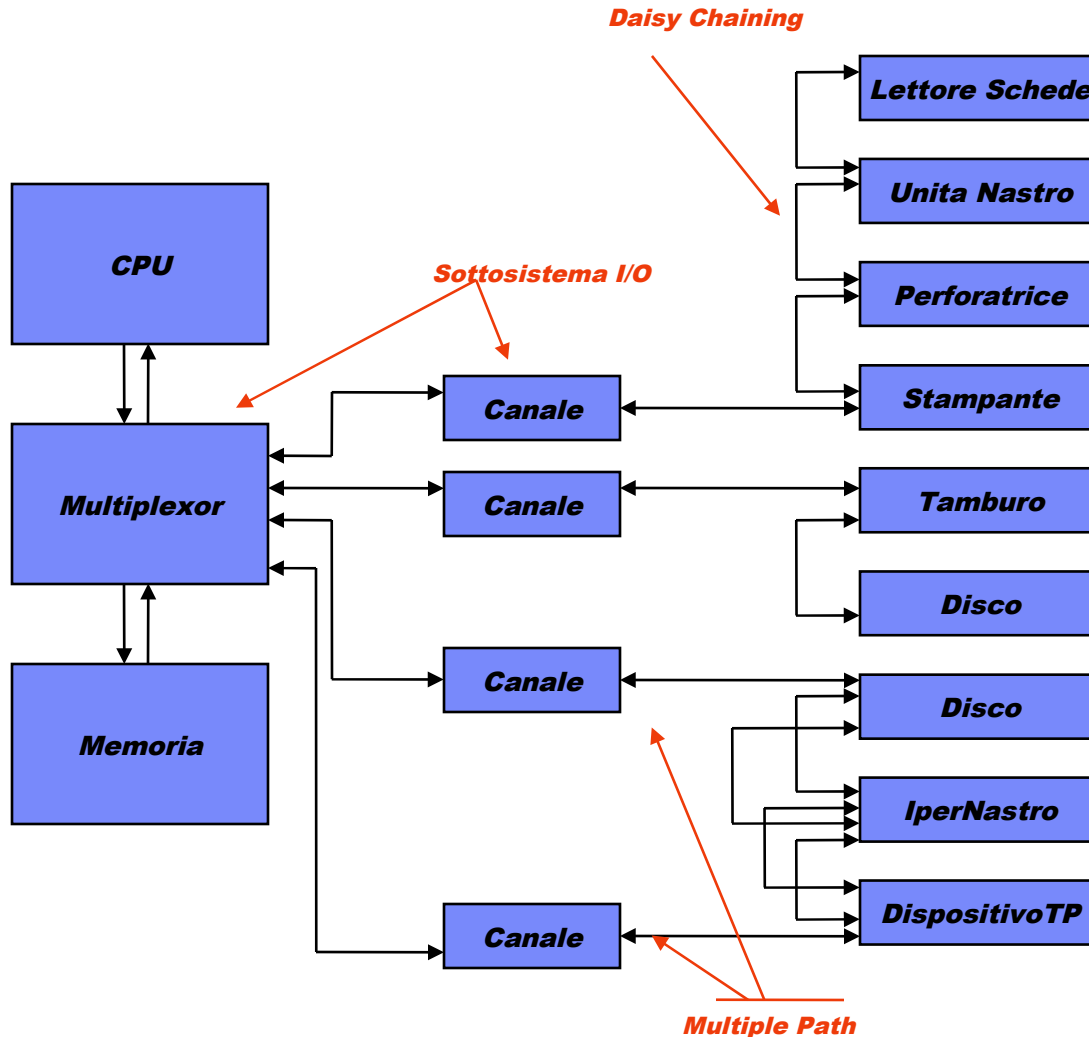
- Definire la Struttura del Sistema Centrale
- Definire l'architettura del Sistema Centrale
- Definire le Metriche
- Definire il Set di Istruzioni

Definizioni di Base 1



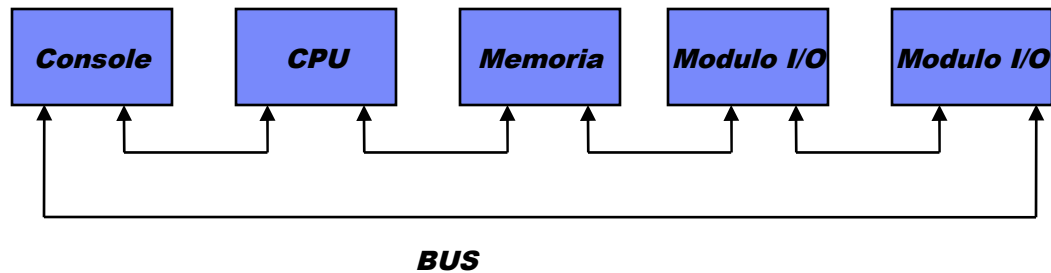
Lo Schema di principio di un Sistema per il Calcolo Elettronico (Calcolatore) fu definito da von Neumann nel 1945

Definizioni di Base 2



IL primo Sistema Complesso per la Elaborazione dei dati fu introdotto da IBM col sistema 7094 nel 1952 e presenta le basi della attuale architettura Elaborativa.

Definizioni di Base 3



Negli anni 70 la Digital introdusse un Sistema Alternativo detto a BUS sul quale erano basati i calcolatori della classe PDP. Tale schema e' alternativo a quello precedente.

Sistemi a Bus Multiplo

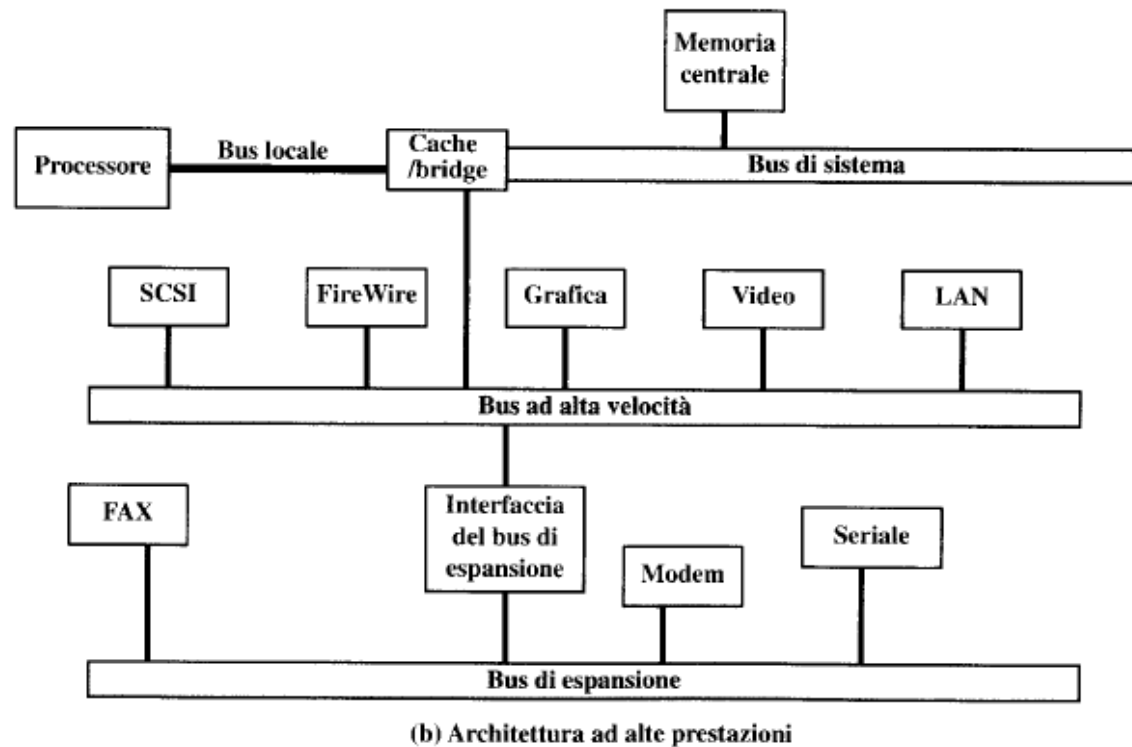
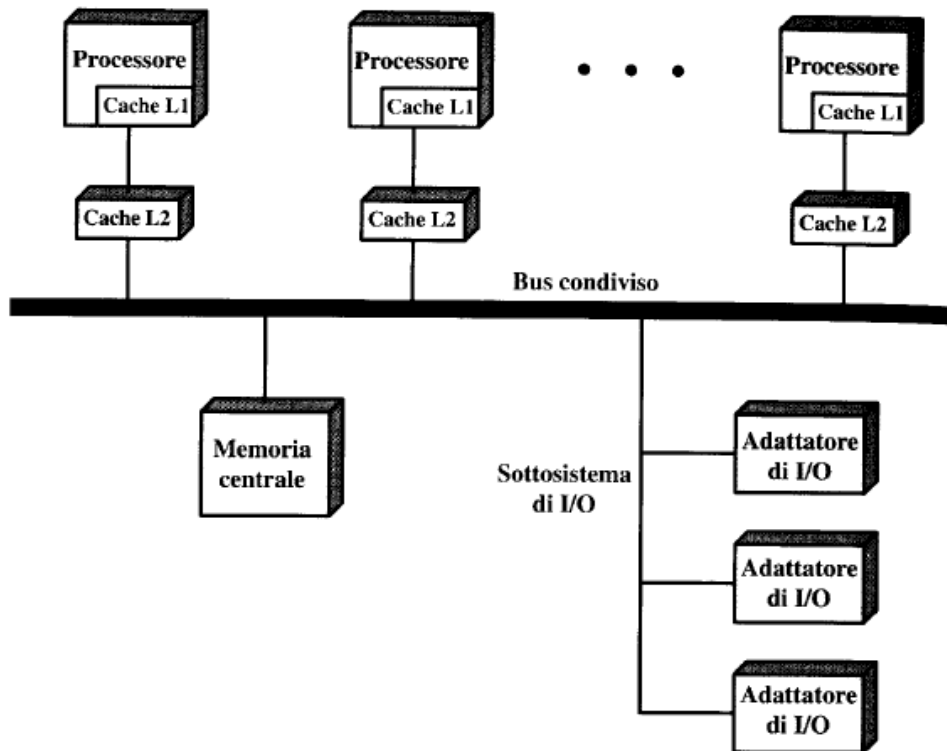


Figura 3.18 Esempi di configurazioni di bus.

Strutture SMP



Un Sistema Multiprocessore Simmetrico (SMP) viene definito da M. Flynn nel 1972. La sua principale caratteristica e' quella di avere piu' di una CPU ma una sola memoria centrale ad accesso multiplo condivisa da tutti i processori

Figura 18.5 Organizzazione multiprocessore simmetrica.

Fonte: W Stalling *Architettura ed Organizzazione dei Calcolatori Elettronici* - Pearson 2003

Strutture Cluster

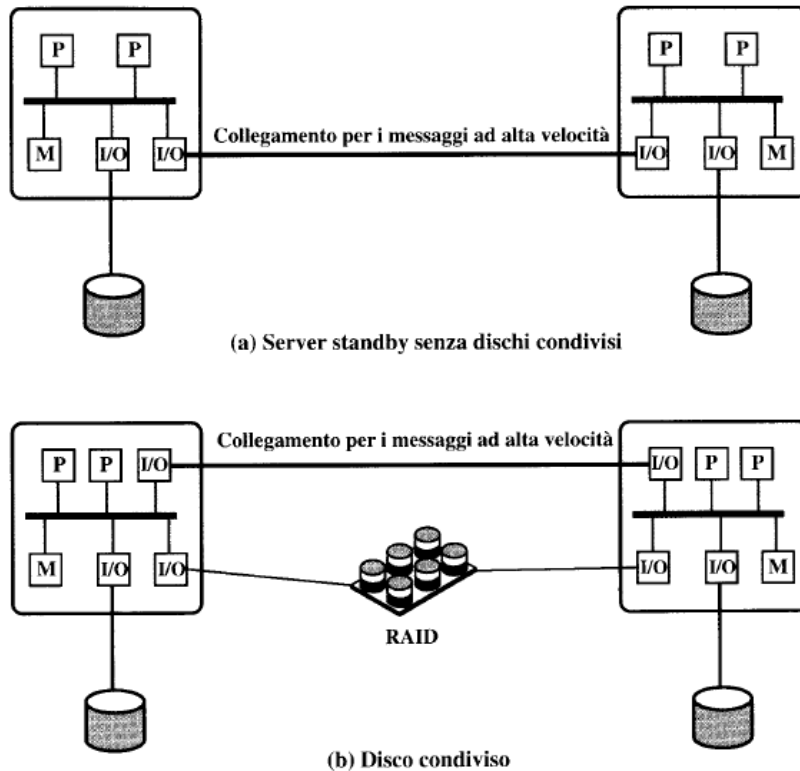


Figura 18.9 Configurazioni cluster.

Molto piu' recente e' la definizione di Cluster come gruppo di calcolatori completi interconnessi che operano come una risorsa computazionale unificata. Ciascun componente del Cluster viene detto NODO

Strutture NUMA

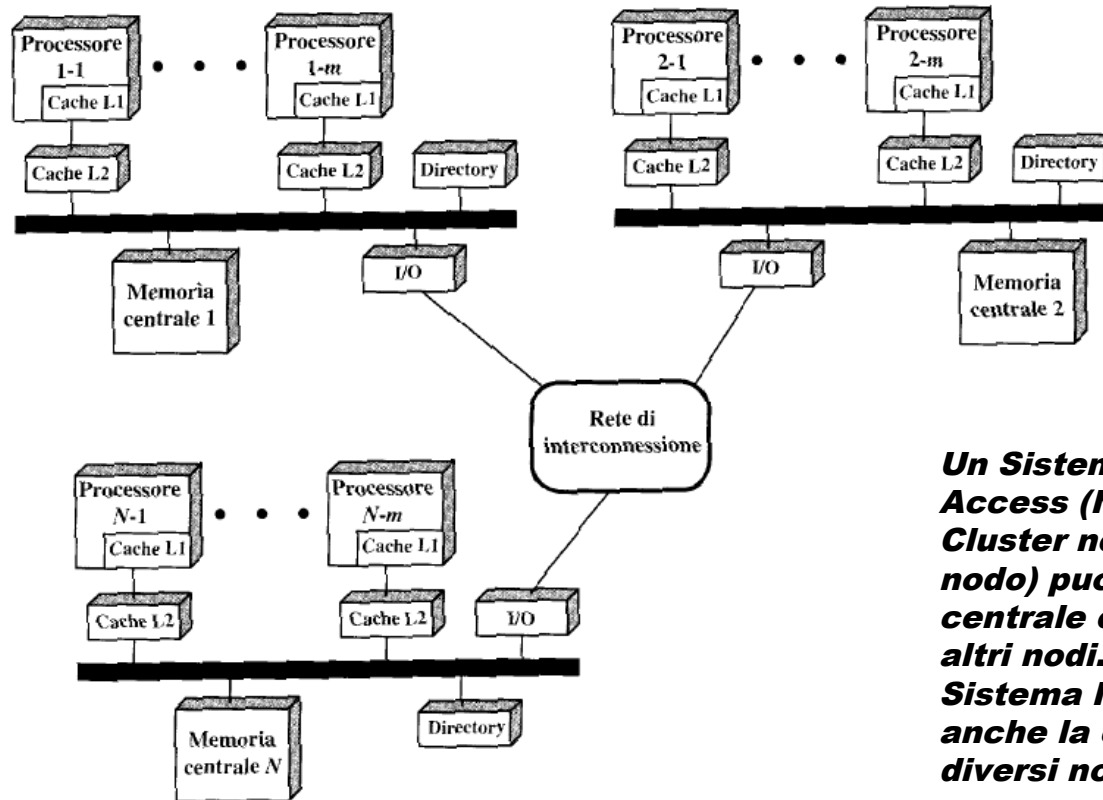
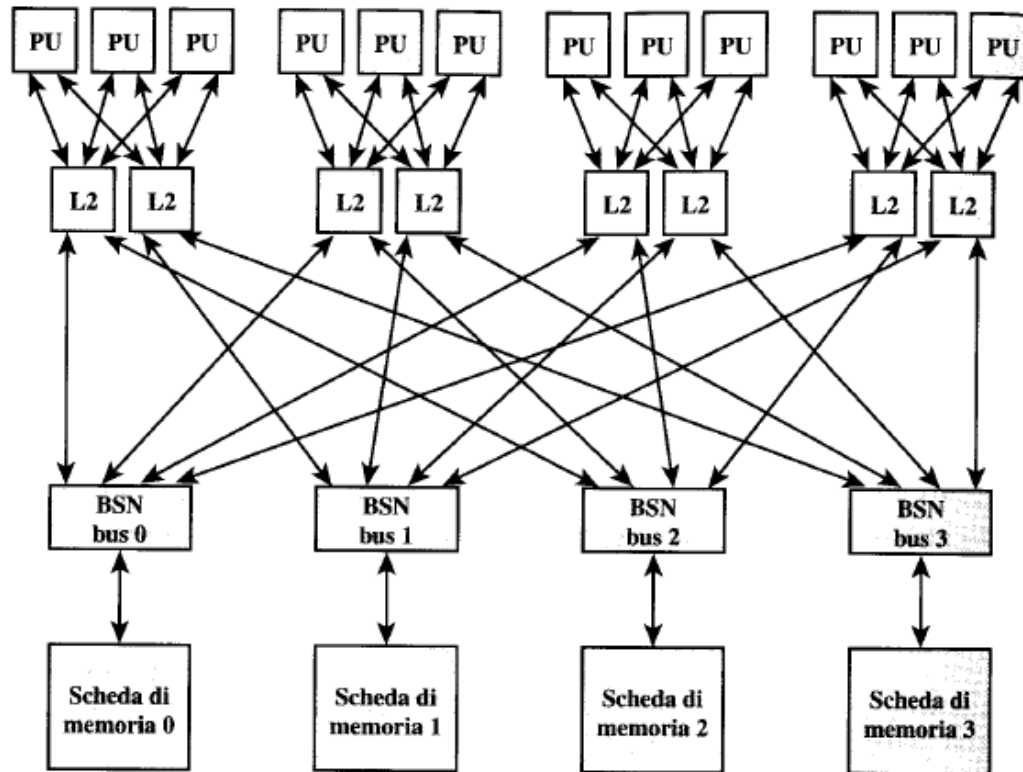


Figura 18.11 Organizzazione CC-NUMA.

Un Sistema Not Uniform Memory Access (NUMA) e' un particolare tipo di Cluster nel quale ogni componente (o nodo) puo' accedere alla memoria centrale ed ai dispositivi di I/O degli altri nodi. Un tipo particolare di Sistema NUMA detto CC mantiene anche la coerenza tra le caches dei diversi nodi.

Fonte: W Stalling *Architettura ed Organizzazione dei Calcolatori Elettronici* - Pearson 2003

L'Architettura dei Mainframes IBM S/390



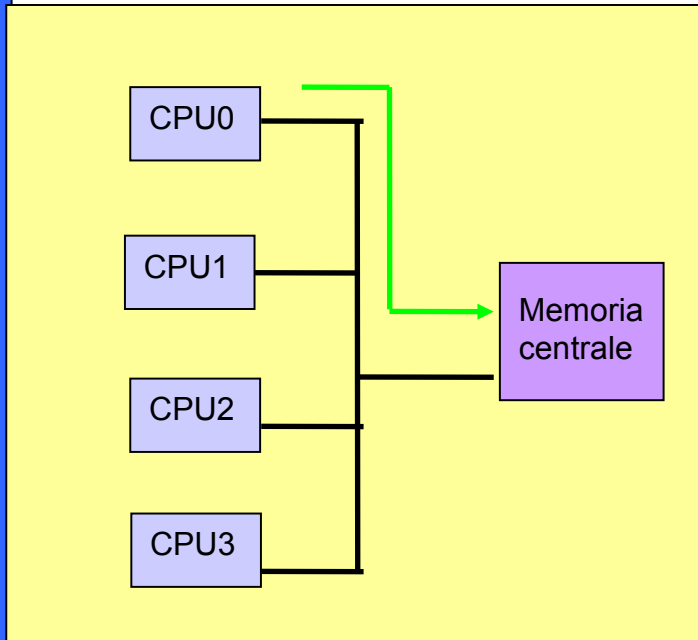
La Architettura dei Mainframes IBM e' di tipo SMP .

Figura 18.7 Organizzazione dell'IBM S/390.

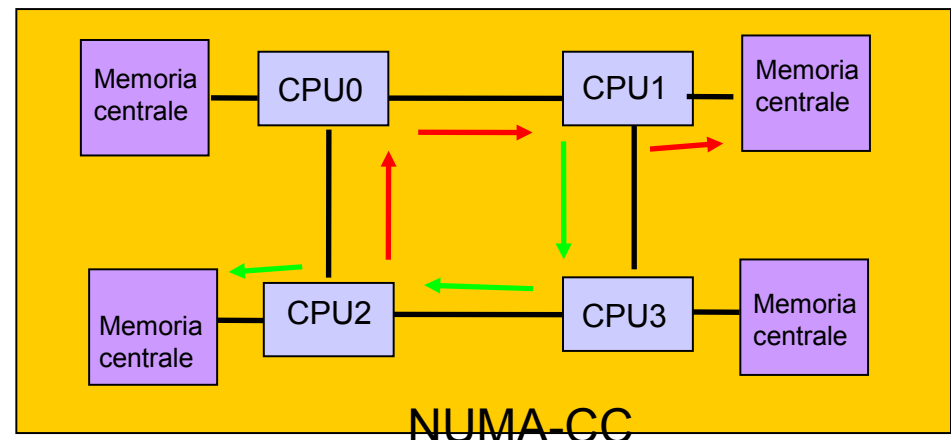
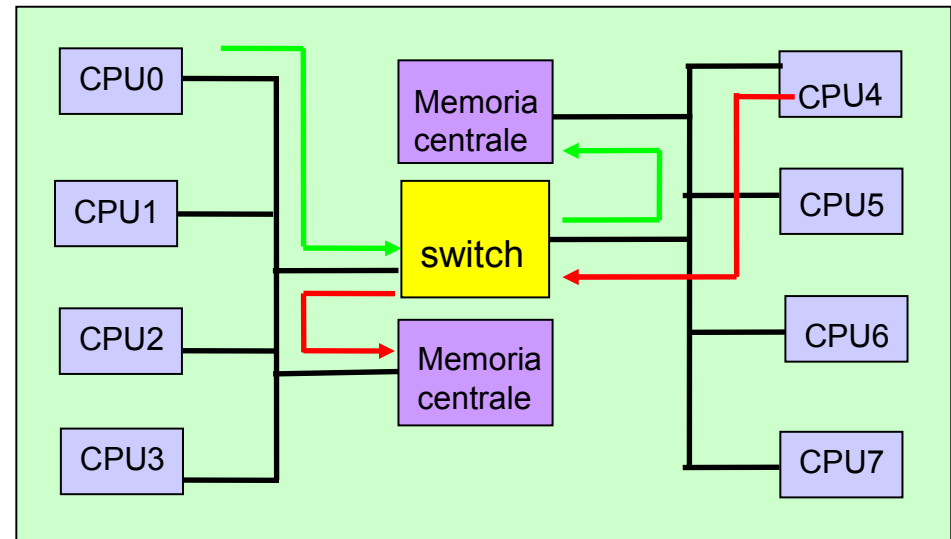
Fonte: W Stalling *Architettura ed Organizzazione dei Calcolatori Elettronici* - Pearson 2003

Architetture di Processori con memoria condivisa

Multiprocessore simmetrico

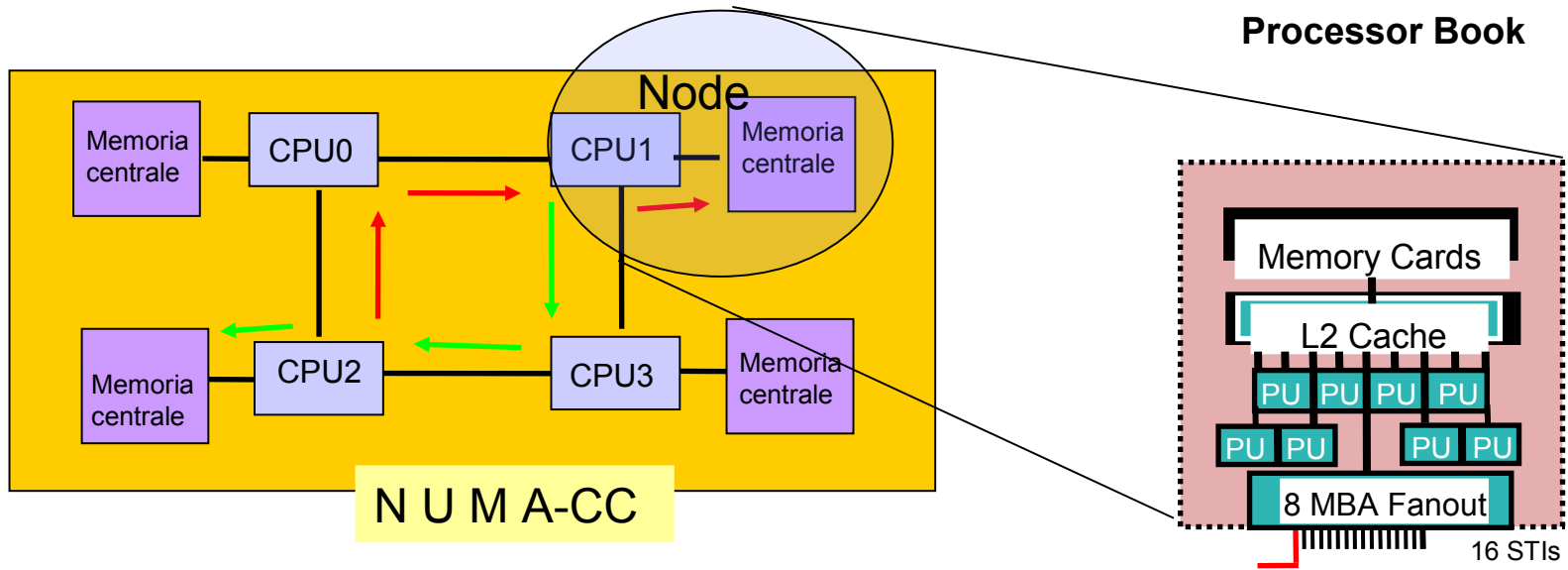


Multiprocessore a memoria distribuita

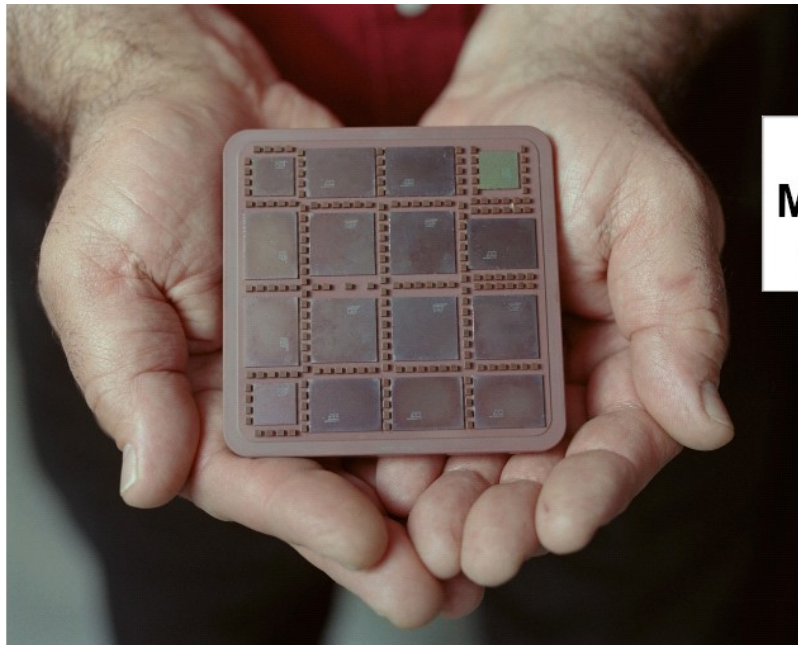
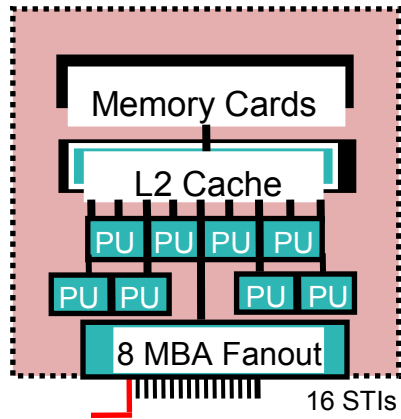


NUMA and System z

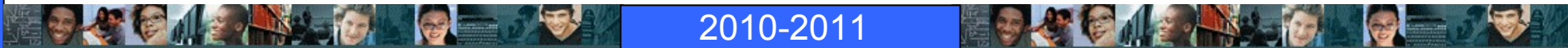
Node = Processor Book



NUMA and System z

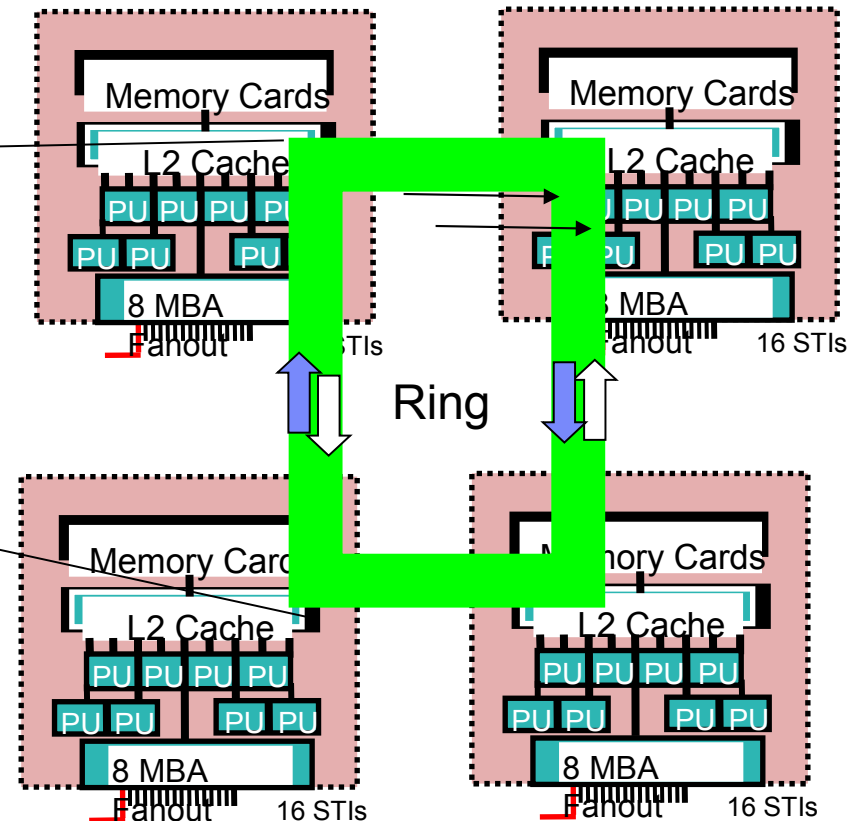
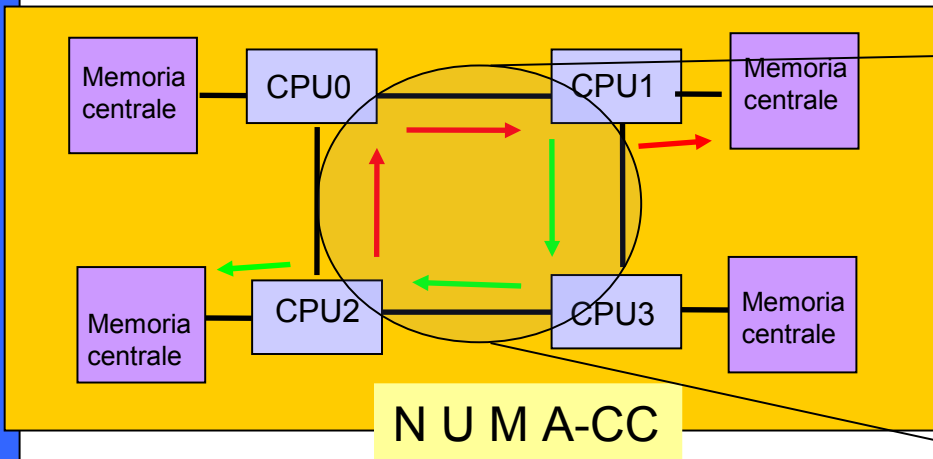


**z9
Multichip
Module**

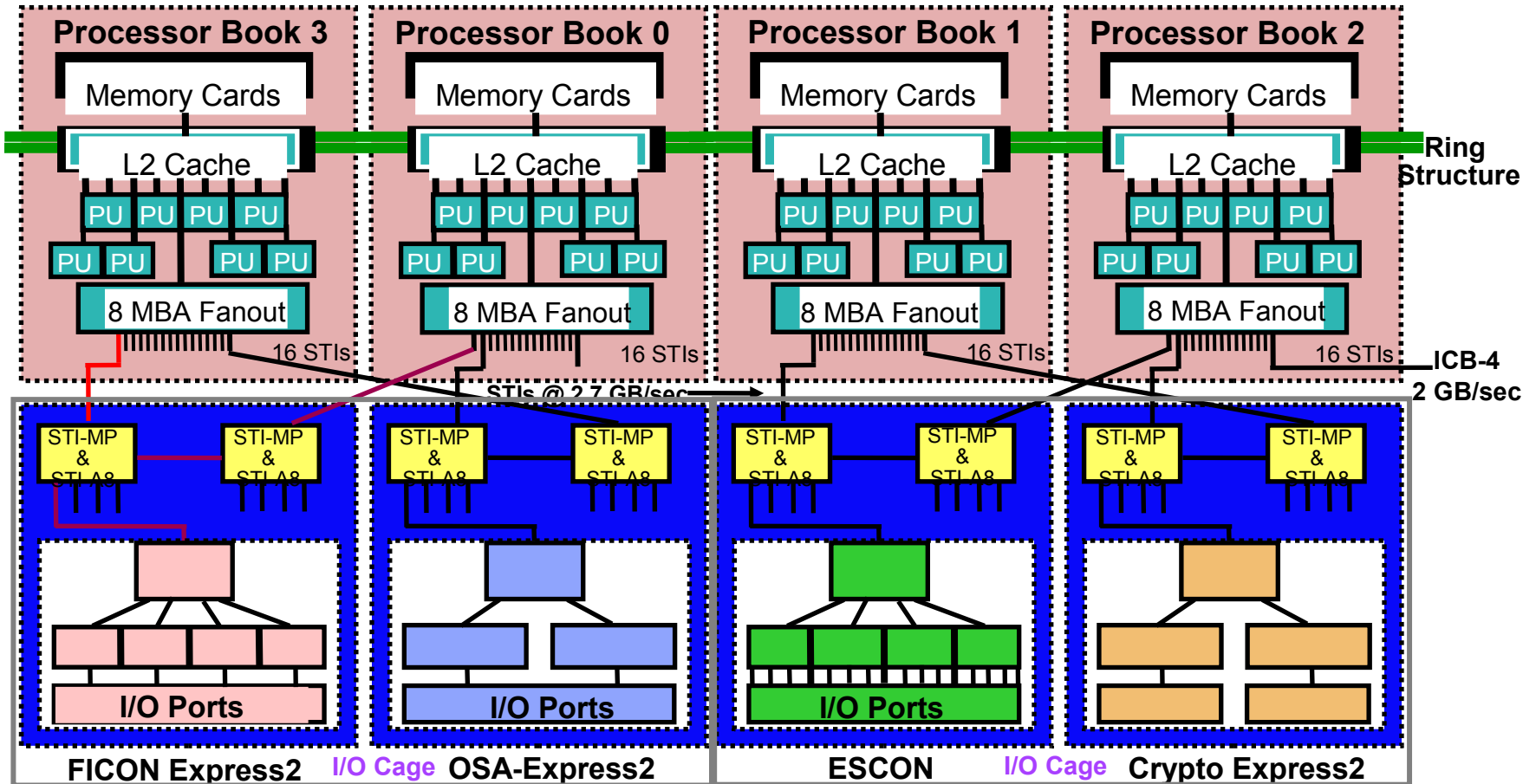


NUMA and System z

Rete di Intercomunicazione= Anello bidirezionale tra L2 Caches

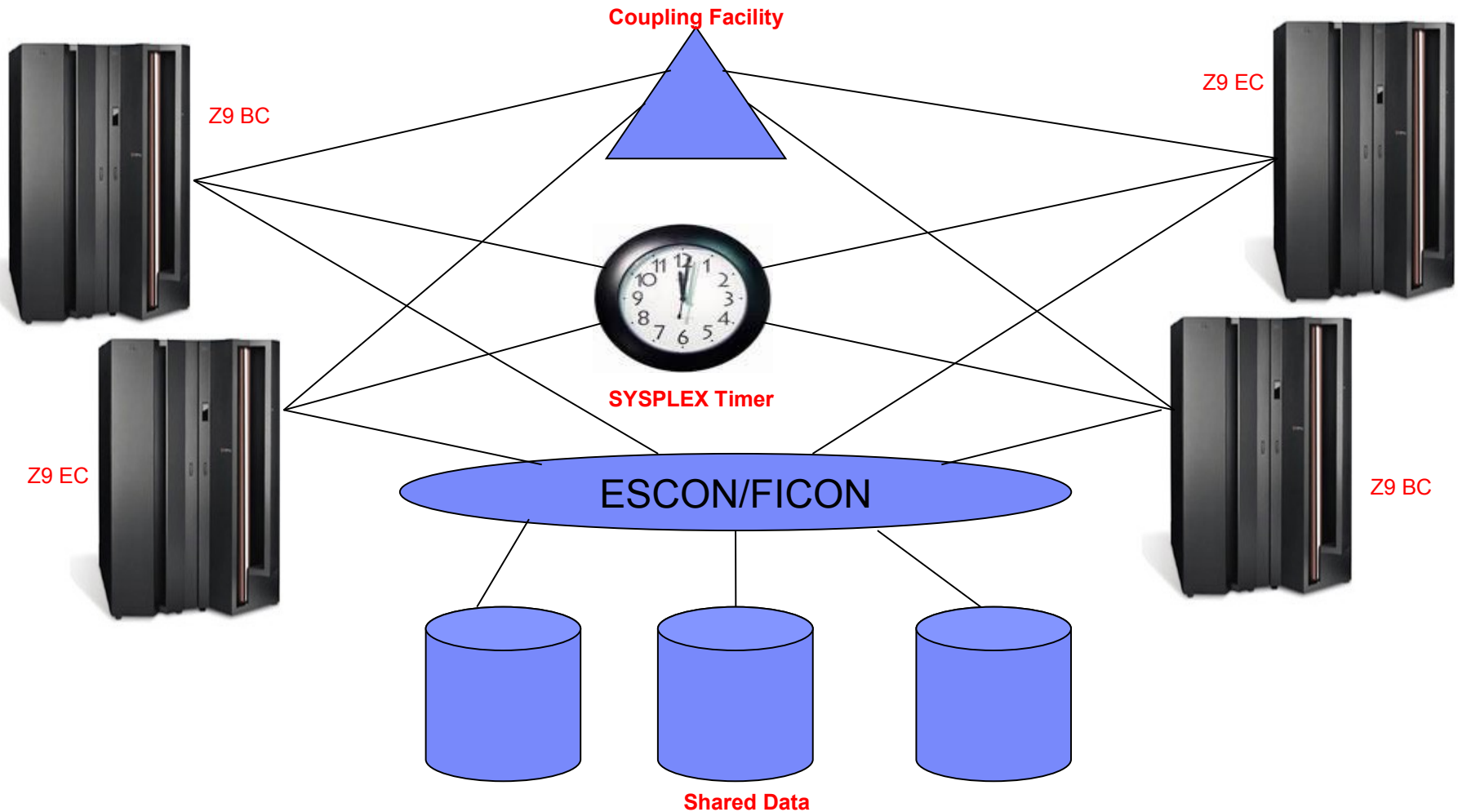


System z



Note:
 Each MBA Fanout card has 2 STI ports. STI connectivity is normally balanced across all installed Books
 MBA supports 2 GB/sec for ICB3 and ICB-4 and 2.7 GB/sec for I/O channels. ICB-3 actually run at 1GB/sec

Scalability of IBM System z – Parallel Sysplex



Gerarchie di Memoria

**CPU sempre piu'
veloci**

+

**Memorie sempre
più' grandi**

Problema

**la velocita' dei
CPU**

**cresce piu'
della**

**velocita' di accesso
alle memorie**

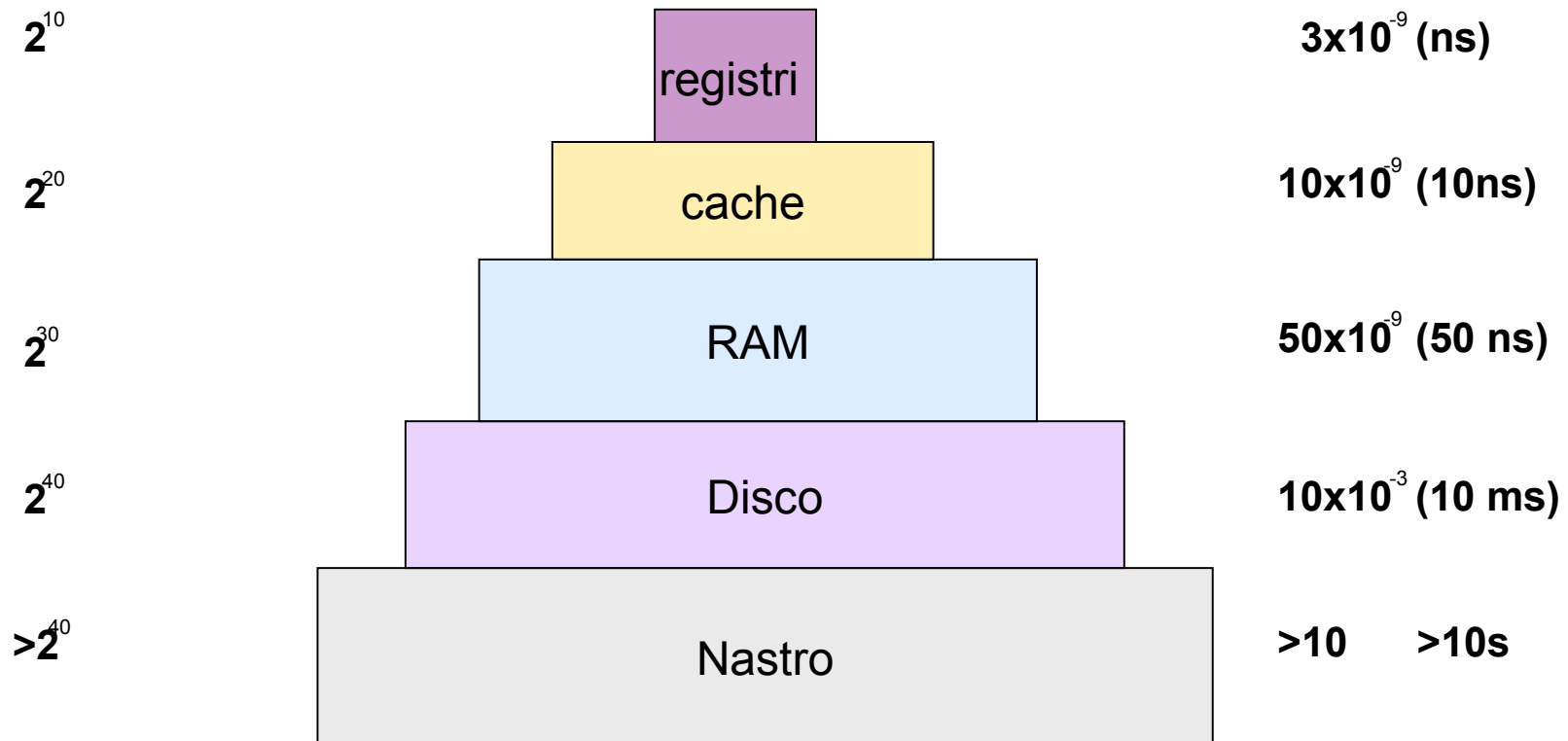
Soluzione

Gerarchie di memoria

Gerarchia memorie (caratteristiche generiche)

Capacita' (Byte)

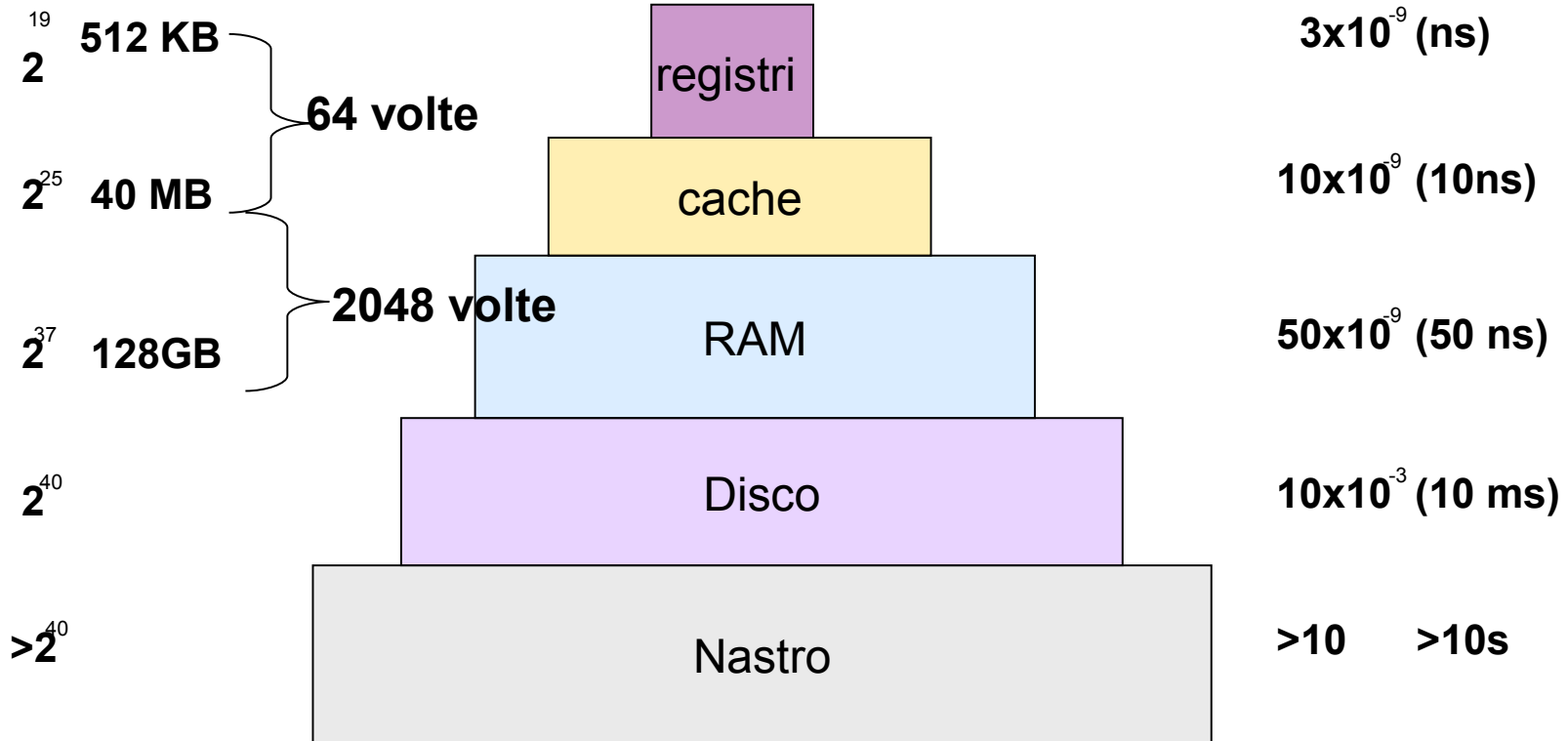
Accesso (sec)



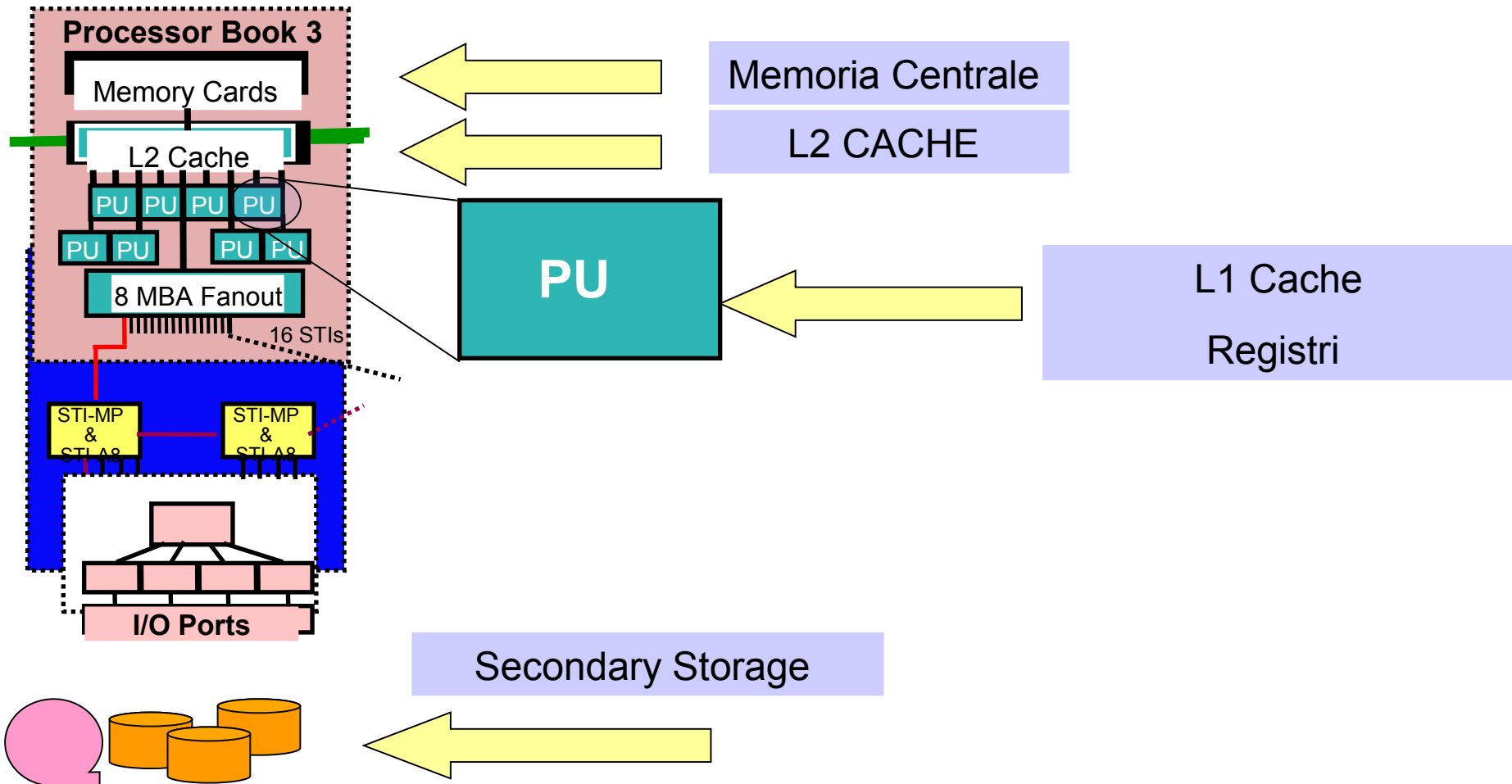
Gerarchia memorie (caratteristiche z9)

Capacita' (Byte)

Accesso (sec)



Memorie

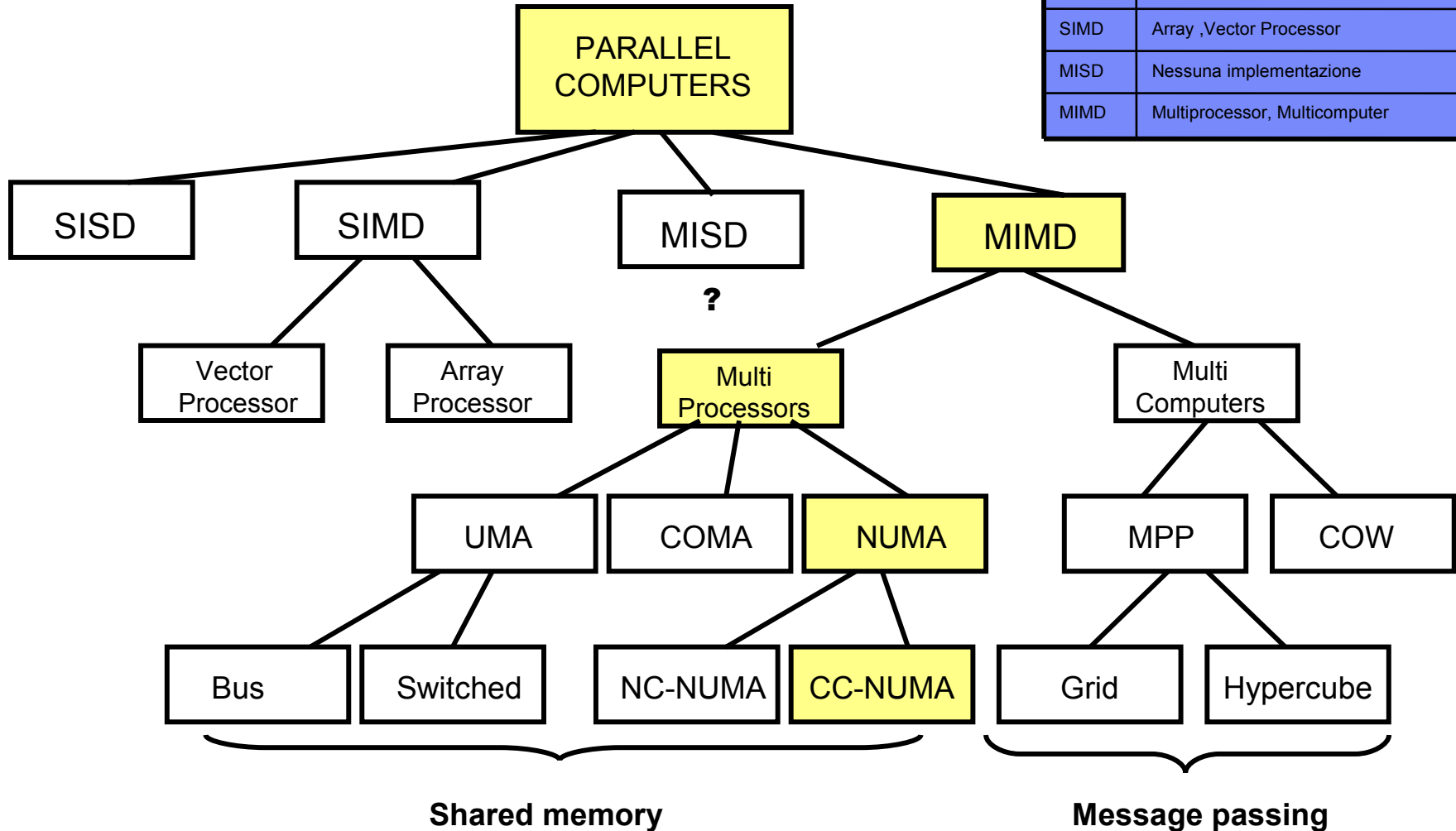


Definizioni – Macchine Parallele

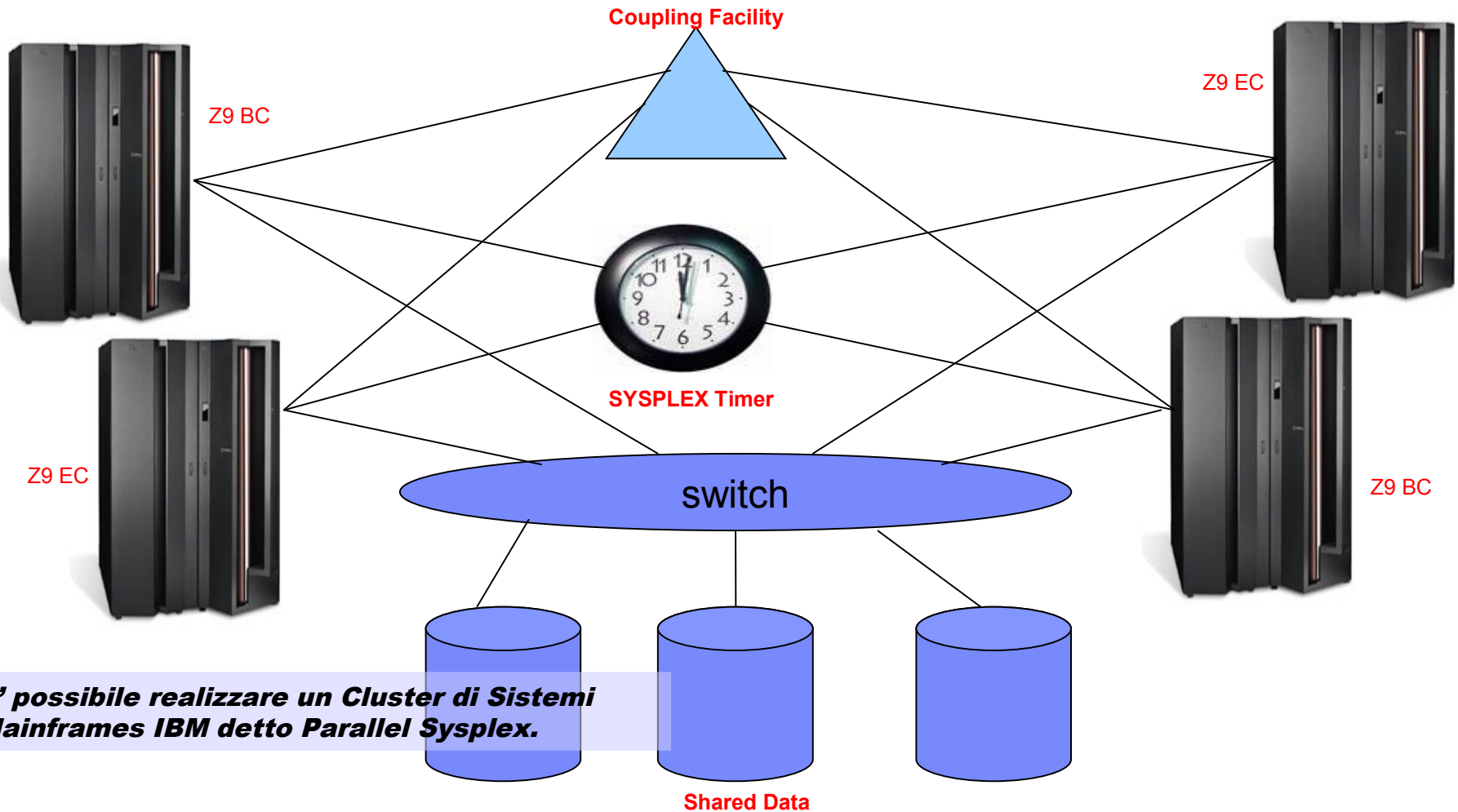
Macchine parallele			
Accoppiamento Stretto (memoria condivisa)	Multiprocessor	UMA (SMP)	Bus singolo
			Bus Multiplo
			Commutazione (switch)
		NUMA	Cache (connesse)
			noCache (paging)
		COMA	Solo Cache (unica)
Accoppiamento lasco (scambio di messaggi)	Multicomputer	MPP Massive Par.Proc	Supercomputer
		COW (Cluster)	Es. IBM Parallel Sysplex IBM Cluster 1600

Tassonomia di Flynn (1972) and System z9

SISD	Von Neumann
SIMD	Array ,Vector Processor
MISD	Nessuna implementazione
MIMD	Multiprocessor, Multicomputer

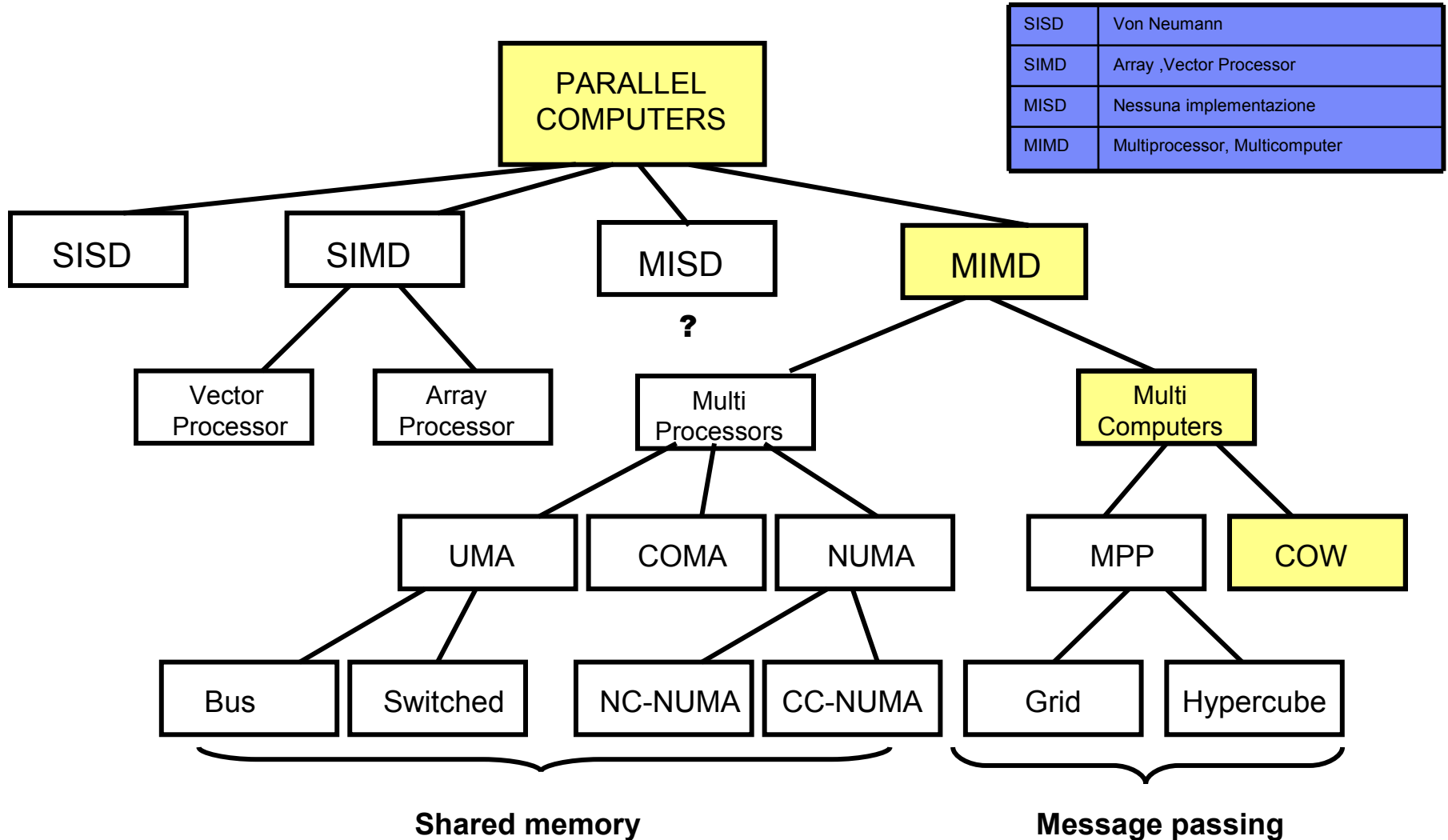


Cluster di Sistemi Centrali – Parallel Sysplex



E' possibile realizzare un Cluster di Sistemi Mainframes IBM detto Parallel Sysplex.

Tassonomia di Flynn (1972) and Parallel Sysplex



IBM z9 Processor

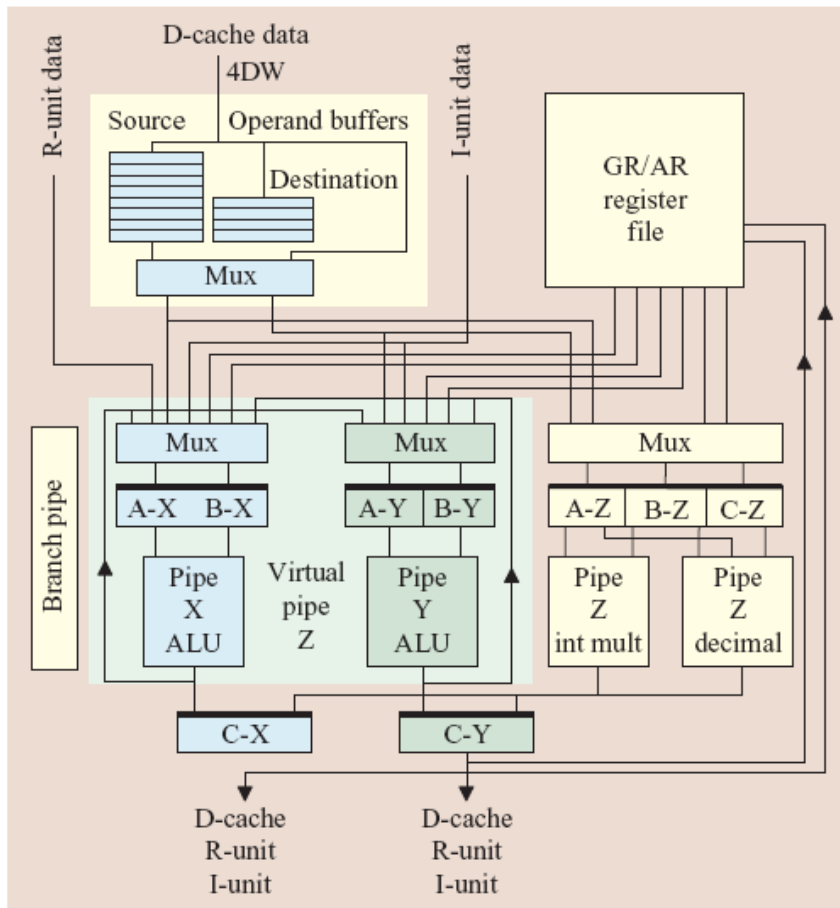


Figure 3

Diagram of FXU. (int mult: integer multiplier; decimal: decimal execution unit.)

Source : IBM J. RES. & DEV. VOL. 48 NO. 3/4
MAY/JULY 2004

T. J. Slegel ,E. Pfeffer,J. A. Magee
The IBM eServer z990 microprocessor

IBM z9 Cryptographic Co-Processor

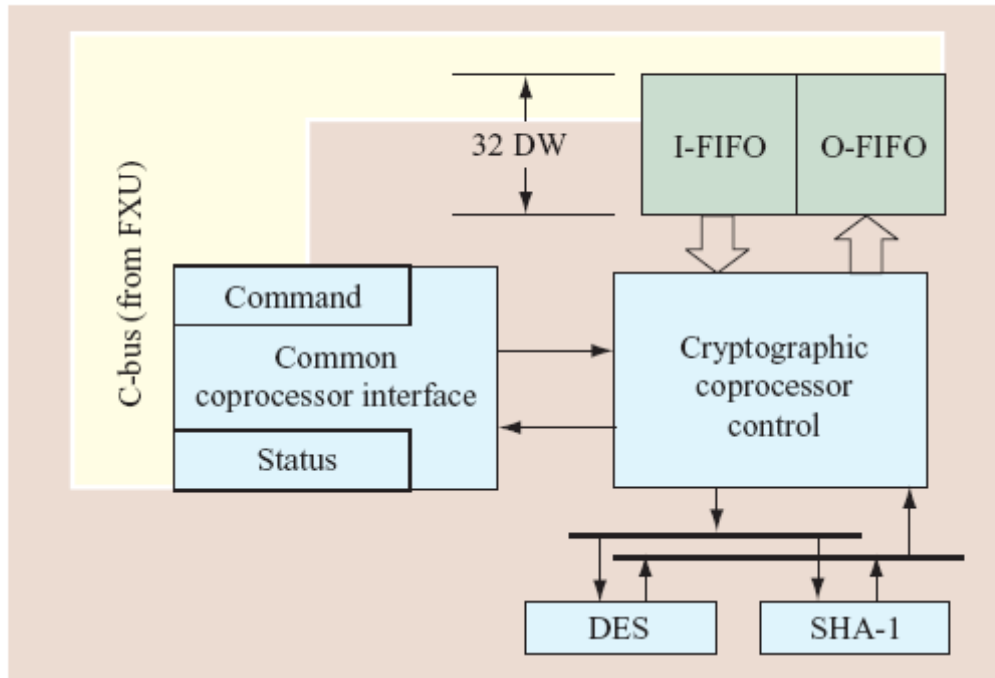


Figure 7

Diagram of cryptographic coprocessor.

Source : IBM J. RES. & DEV. VOL. 48 NO. 3/4
MAY/JULY 2004

T. J. Siegel, E. Pfeffer, J. A. Magee
The IBM eServer z990 microprocessor

IBM z9 Processor

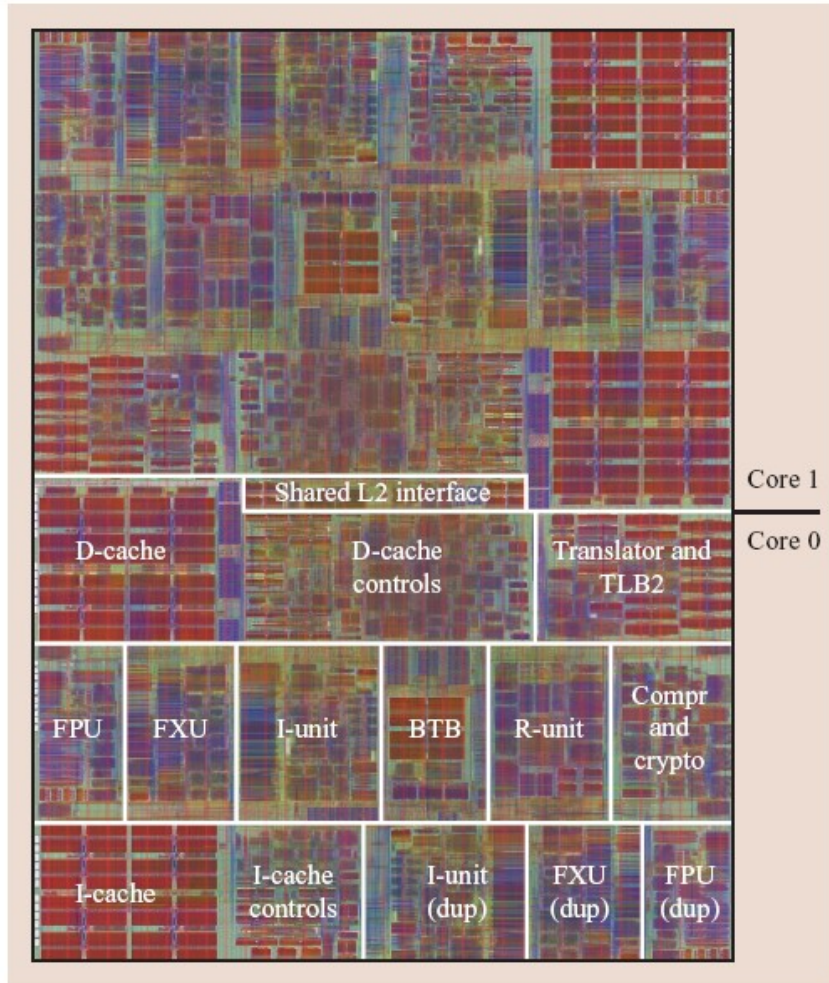


Figure 8

Micrograph of z990 processor chip.

Source : IBM J. RES. & DEV. VOL. 48 NO. 3/4
MAY/JULY 2004

T. J. Slegel ,E. Pfeffer,J. A. Magee
The IBM eServer z990 microprocessor

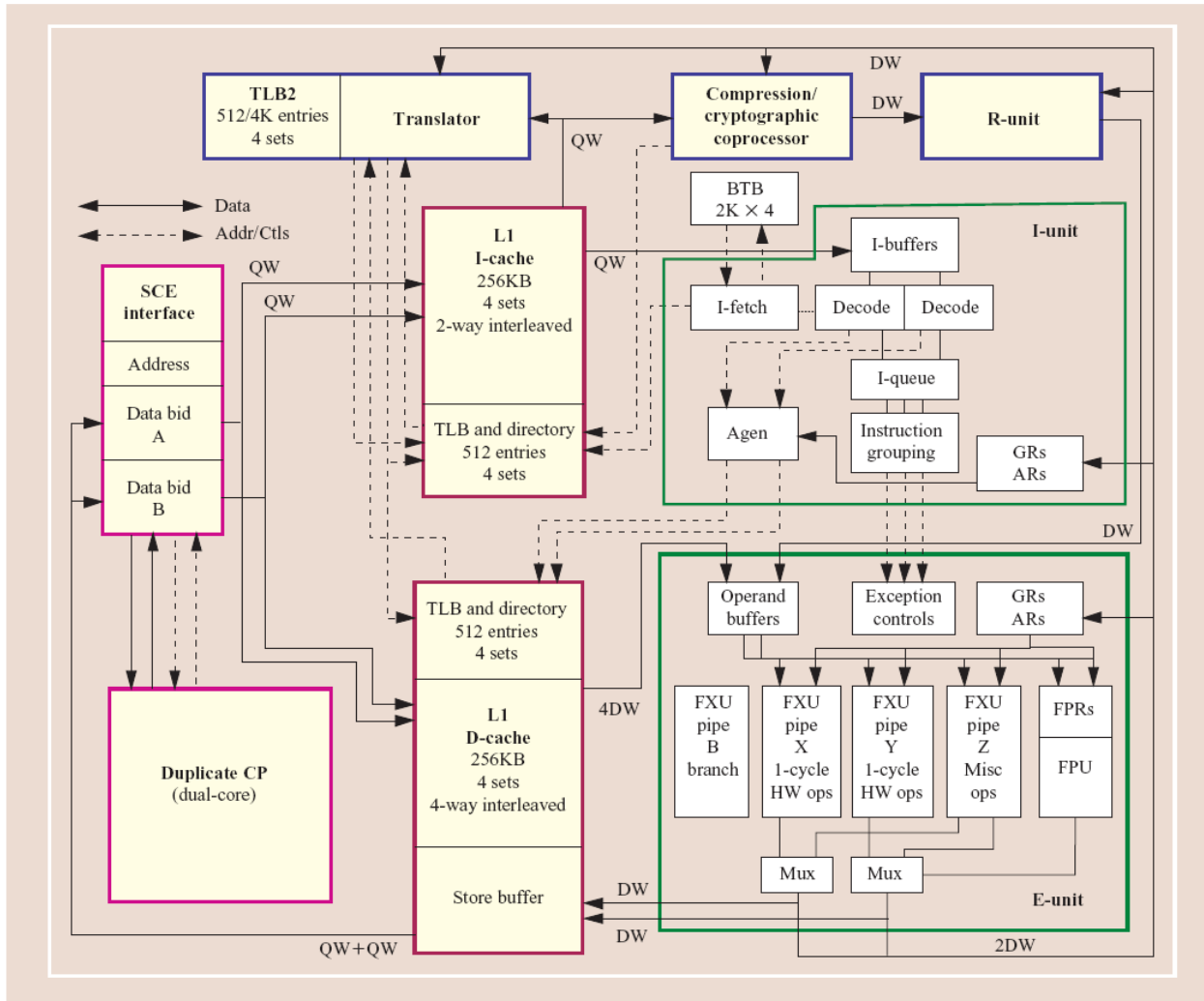


Figure 2

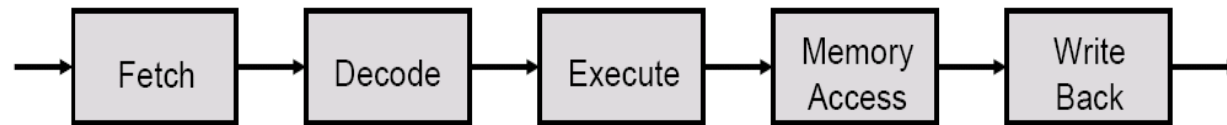
Diagram of z990 processor. (DW: doubleword; QW: quadword; ARs: access registers; FPRs: floating-point registers; HW ops: hardware executed instructions.)

Source : IBM J. RES. & DEV. VOL. 48 NO. 3/4
MAY/JULY 2004

T. J. Siegel, E. Pfeffer, J. A. Magee
The IBM eServer z990 microprocessor

Elementi della z/Architecture - Pipeline

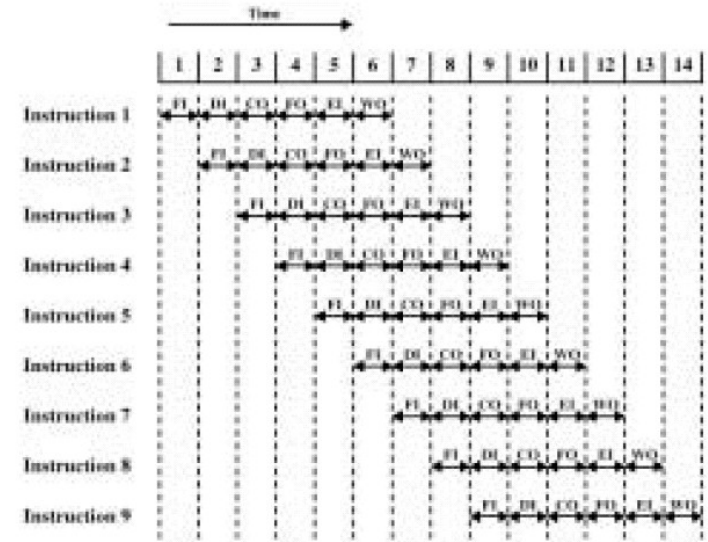
Una istruzione macchina si compone di alcune operazioni in sequenza (fasi) che vengono eseguite in uno ciclo di clock o in piu' cicli successivi . In questo secondo caso si parla d architettura a **Pipeline**



- **Fetch**= lettura istruzione da memoria di programma e scrittura nel registro di istruzione
- **Decode**= decodifica dell'istruzione (OP code e Operando/i)
- **Execute**= esecuzione di operazione in ALU o calcolo dell' indirizzo di salto in memoria
- **Memory Access**= accesso in lettura o scrittura in memoria
- **Write back** = salvataggio risultato dell'istruzione nel registro di destinazione

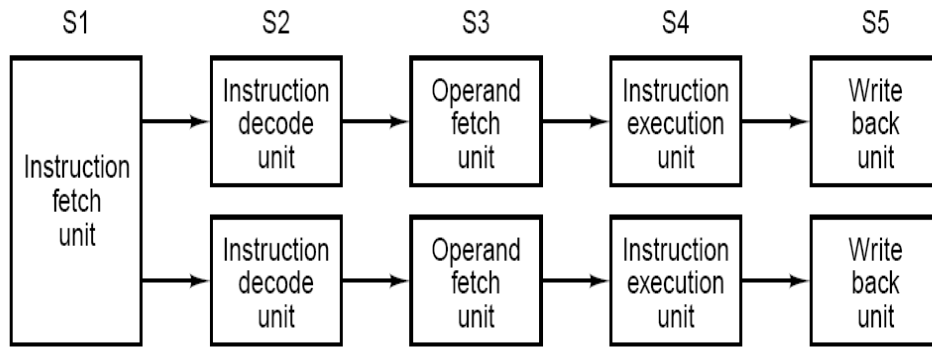
Elementi della z/Architecture - Pipeline

- La **massima velocità** di un calcolatore si ottiene alimentandolo **continuamente** con istruzioni
- Per fare ciò **ogni** istruzione deve essere eseguita quando la precedente è stata completata.
- se ciò non accade alcuni cicli utili di elaborazione vengono sprecati.

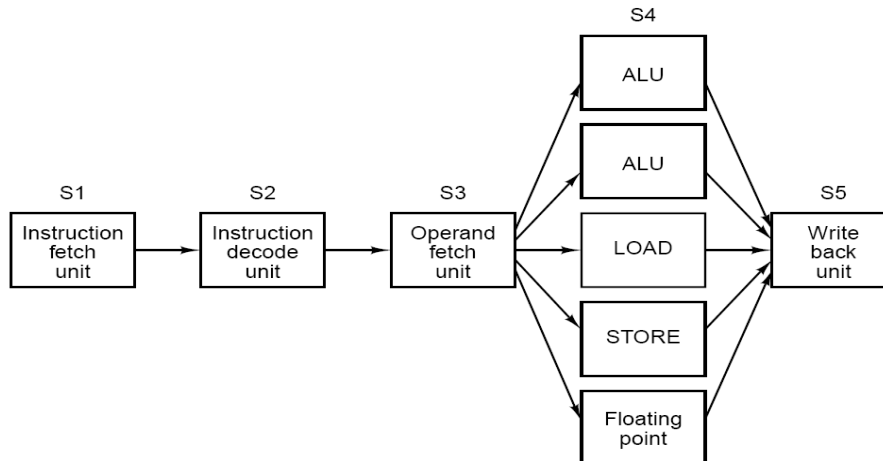


- Le istruzioni macchina vengono scomposte in **microistruzioni** comunque eseguibili in un **unico ciclo** macchina.
- La sequenza di tali microistruzioni è **ottimizzata** con varie tecniche.

Elementi della z/Architecture – Pipeline ,Superscalar



Pipeline doppia a 5 step



Pipeline Superscalare

Struttura Interna dei Processori IBM z9 - Pipelining

I-unit	D1 Decode	AA1 Agen Superscalar grouping					Decode if prior branch mispredict				
D-cache		C0 ALB and AAHT lookup	C1 TLB, PAAHT, Directory, Cache access	C2 Data sent to E-unit Store queue written		C0ST Store data sent to D-cache	C1ST Data in L1 Store data from mirror	C2ST ECC gen Cross-check store results		Store data check-point	
E-unit			E-1 Instruction sent to E-unit	E0 Read GRs	E1 Execute Branch mispredict detected	PA Put-away					
R-unit						Put-away data sent to R-unit	R0 Put-away from mirror E-unit	R1 Cross-check results	R2 ECC gen	R3 Register data check-point	

Figure 1

Processor instruction pipeline for most common instructions.

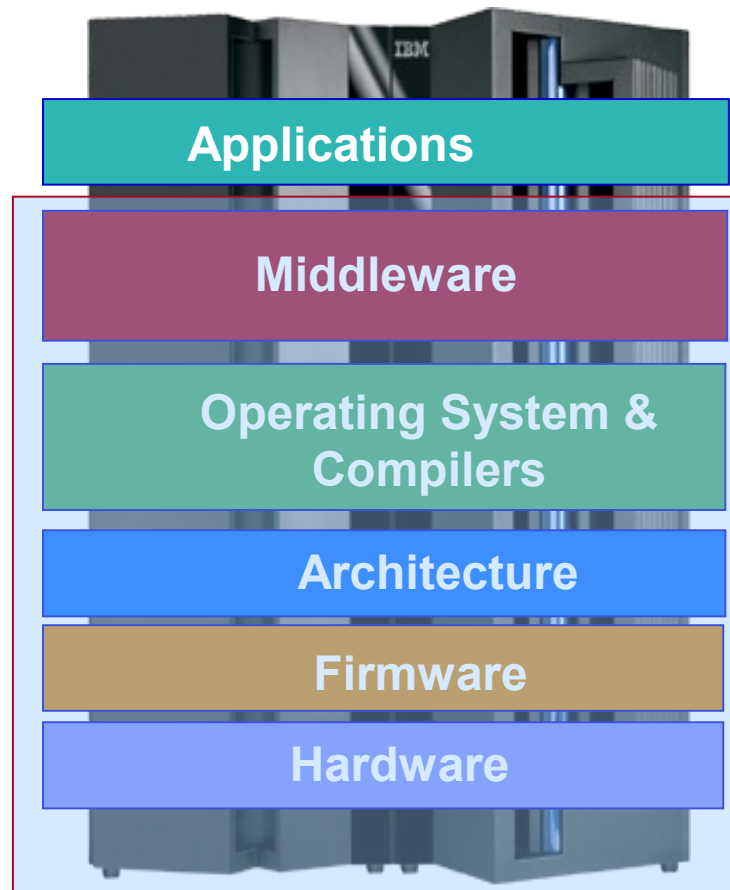
Source : IBM J. RES. & DEV. VOL. 48 NO. 3/4

MAY/JULY 2004

T. J. Slegel ,E. Pfeffer,J. A. Magee

The IBM eServer z990 microprocessor

Esempio : La Piattaforma IBM System Z



Architettura dei Sistemi Centrali (1 di 3)

