

### Compito A

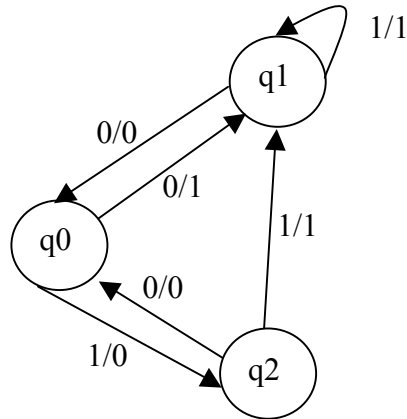
Nome:

Cognome (STAMPATELLO LEGGIBILE):

matricola o n. documento:

#### Esercizio 1 (14 punti)

Dato il seguente automa, progettare la rete sequenziale secondo il procedimento di sintesi illustrato a lezione, utilizzando FF di tipo JK e realizzando la parte combinatoria sia con porte logiche che con ROM.



**Esercizio 2 (16 punti)** Seguendo il procedimento di sintesi, progettare un circuito sequenziale che riceve in ingresso una sequenza  $x$  e produce in uscita 1 quando si presenta 1010, considerando eventuali sovrapposizioni. Mostrare la realizzazione della parte combinatoria sia con porte logiche che con PLA

### Compito B

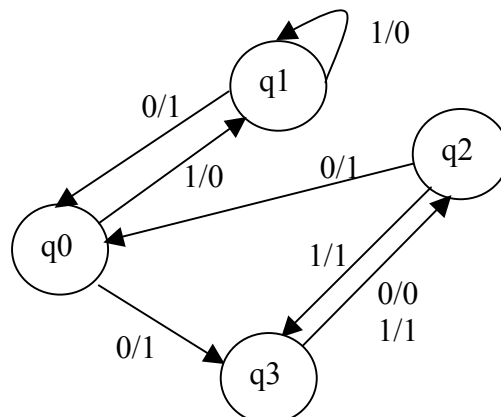
Nome:

Cognome (STAMPATELLO LEGGIBILE):

matricola o n. documento:

#### Esercizio 1 (14 punti)

Dato il seguente automa, progettare la rete sequenziale secondo il procedimento di sintesi illustrato a lezione, utilizzando FF di tipo JK e realizzando la parte combinatoria sia con porte logiche che con PLA.



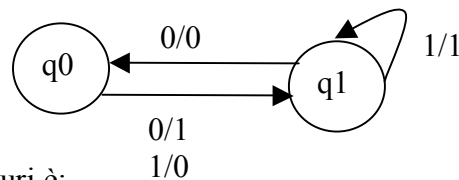
**Esecizio 2 (16 punti)**

Progettare col metodo visto a lezione un contatore che produca in uscita la seguente sequenza ciclica: 0011, 1010, 1111,0000. Usare FF di tipo SR, tracciando prima, come parte del compito, la tabella delle transizioni di un FF di tipo SR. Realizzare il circuito utilizzando per la parte combinatoria un PLA.

**Soluzione Esercizi A**

**Es. 1**

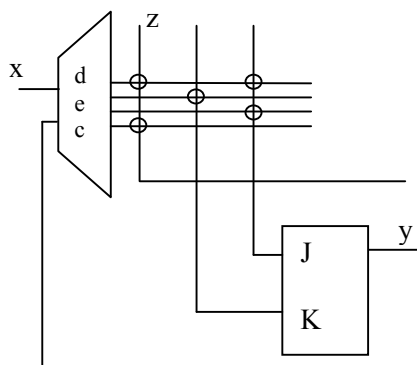
Osservando la tabella corrispondente all'automa si vede subito che l'automa può essere minimizzato essendo q1 e q2 equivalenti; l'automa minimo corrispondente è:



La tabella degli stati futuri è:

x	y	Y	z	J	K
0	0	1	1	1	x
0	1	0	0	x	1
1	0	1	0	1	x
1	1	1	1	x	0

Dalla tabella si ricava la realizzazione con ROM:

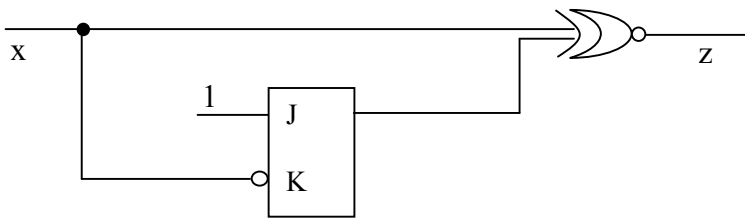


L'espressione di J si ricava dalla tabella: **J = 1**

Minimizzando con Karnaugh si ottiene **K = x**

Infine, z non si minimizza e la sua espressione è: **z = x q + x q**

La realizzazione circuitale è quindi:



Senza minimizzazione dell'automata, servono due bit per codificare gli stati, quindi due FF. Dopo avere steso la tabella di verità si può realizzare la rete con ROM; minimizzando con Karnaugh si ottengono le espressioni seguenti e si ricava la realizzazione con porte logiche.

$$z = \underline{x} \underline{y_2} \underline{y_1} + x y_1 + x y_2$$

$$J_2 = x \underline{y_1}$$

$$K_2 = 1$$

$$J_1 = \underline{x} \underline{y_2} + x y_2$$

$$K_1 = \underline{x}$$

### Esercizio 2

Prima di disegnare l'automata diamo un esempio, mostrando una sequenza di ingresso e la sequenza di uscita prodotta, tenendo conto che sono possibili sovrapposizioni:

**x: 0010100101010110.....**

**z: 0000010000101000.....**

L'automata è costituito da quattro stati:

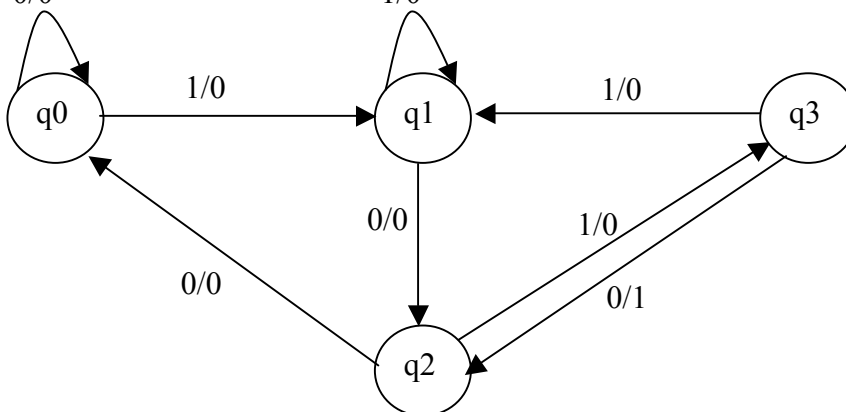
q0 – il riconoscimento di 1010 non è ancora cominciato

q1 – è stato riconosciuto il primo bit della stringa da riconoscere

q2 – è stato riconosciuto il secondo bit della stringa da riconoscere

q3 – è stato riconosciuto il terzo bit della stringa da riconoscere

Gli archi di stato qui sotto rappresentano le transizioni per i due possibili bit in input in ogni stato.



Assegnando la seguente codifica agli stati, tramite  $y_1y_0$ :

q0=00

q1=01  
 q2=10  
 q3=11

si ottiene la tabella di verità:

xy1y0	Y1Y0	z	D2D1
000	0 0	0	0 0
001	1 0	0	1 0
010	0 0	0	0 0
011	1 0	1	1 0
100	0 1	0	0 1
101	0 1	0	0 1
110	1 1	0	1 1
111	0 1	0	0 1

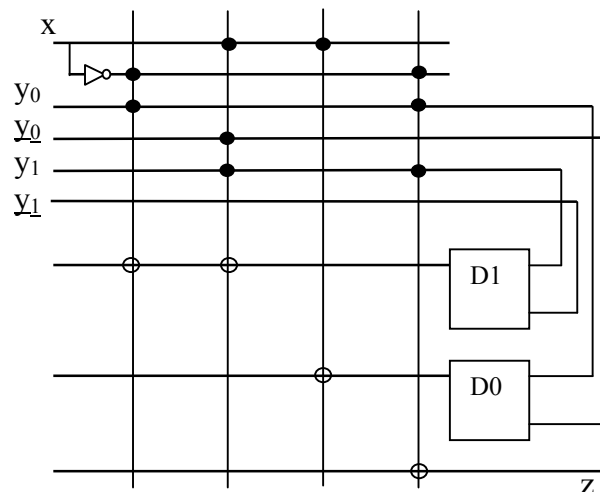
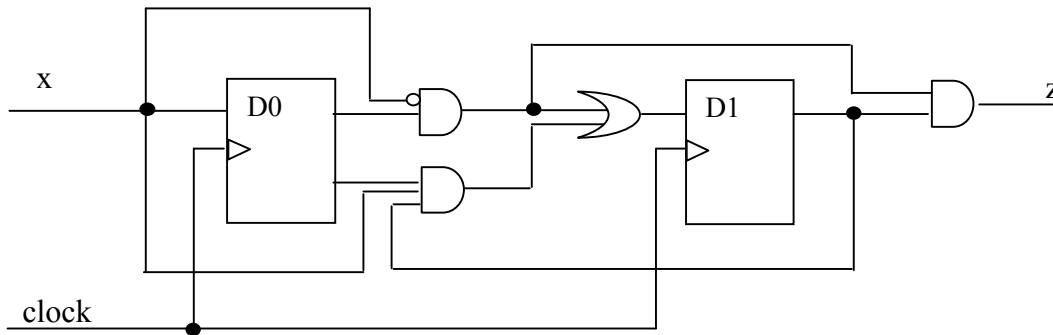
Le espressioni booleane per le funzioni di eccitazione e per la funzione di uscita z sono (per la complementazione uso la sottolineatura):

$$D1 = \underline{x} y0 + x y1 \underline{y0} \text{ (questa espressione si ottiene usando la mappa di Karnaugh)}$$

$$D0 = x$$

$$z = \underline{x} y1 y0$$

Le realizzazioni con porte logiche e con PLA sono le seguenti:



## Soluzioni Compito B

### Esercizio 1

L'automa non è minimizzabile.

La tabella degli stati futuri è:

x	y1	y0	Y1	Y0	z	J1	K1	J0	K0
0	0	0	1	1	1	1	x	1	x
0	0	1	0	0	1	0	x	x	1
0	1	0	0	0	1	x	1	0	x
0	1	1	1	0	0	x	0	x	1
1	0	0	0	1	0	0	x	1	x
1	0	1	0	1	0	0	x	x	0
1	1	0	1	1	1	x	0	1	x
1	1	1	1	0	1	x	0	x	1

Minimizzando con Karnaugh si ottengono le seguenti espressioni:

x\y1y0	00	01	11	10
0	1		x	x
1			x	x

$$J1 = \underline{x} y0$$

x\y1y0	00	01	11	10
0	x	x		1
1	x	x		

$$K1 = \underline{x} y0$$

x\y1y0	00	01	11	10
0	1	x	x	
1	1	x	x	1

$$J0 = y1 + x$$

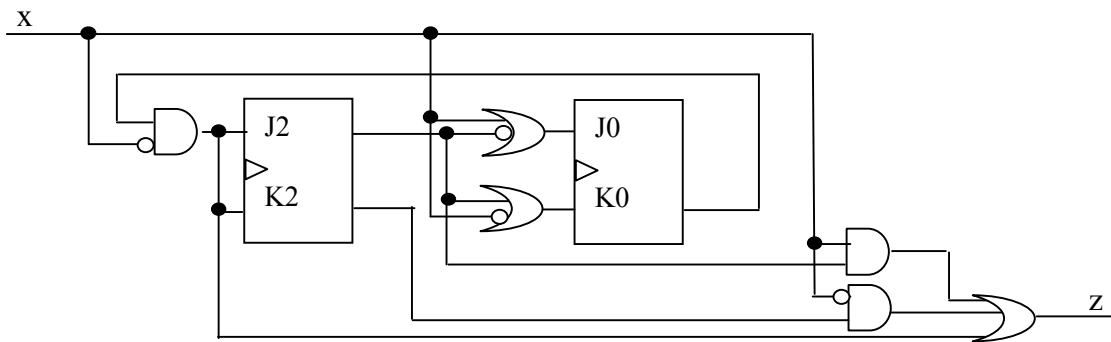
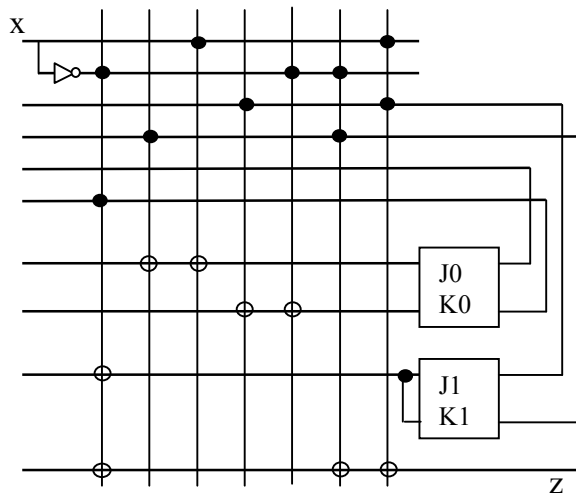
x\y1y0	00	01	11	10
0	x	1	1	x
1	x		1	x

$$K0 = y1 + \underline{x}$$

x\y1y0	00	01	11	10
0	1	1		1
1			1	1

$$z = \bar{x} y1 + \bar{x} y0 + x y1$$

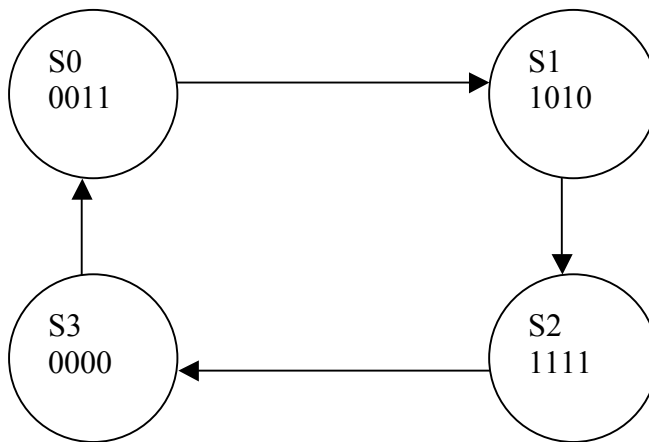
La realizzazione con PLA e con porte logiche sono le seguenti:



## Esecizio 2 (16 punti)

Progettare col metodo visto a lezione un contatore che produca in uscita la seguente sequenza ciclica: 0011, 1010, 1111, 0000. Usare FF di tipo SR, tracciando, come parte del compito, la tabella delle transizioni di un FF di tipo SR.

L'automa ha quattro stati (sia con Mealy che con Moore: qui mostriamo un Moore). Le transizioni avvengono sui fronti di clock.



Le transizioni di un FF SR, tenendo conto che l'input S=R=1 non è ammesso, saranno attivate dai seguenti impulsi SR (X = condizione di indifferenza):

Q(t)→Q(t+1)	S(t) R(t)
0→0	0 X
0→1	1 0
1→0	0 1
1→1	X 0

La tabella degli stati futuri è:

Q1Q0 (t)	S1R1	S0R0	Q1Q0 (t+1)	y3y2y1y0 (t)
S0: 00	0X	10	01	0011
S1: 01	10	01	10	1010
S2: 10	X0	10	11	1111
S3: 11	01	01	00	0000

Da cui:

$$\begin{cases} S1 = Q_0 \overline{Q_1} \\ R1 = Q_1 Q_0 \\ S0 = \overline{Q_0} \\ R0 = Q_0 \\ y0 = \overline{Q_0} \\ y1 = \overline{Q_0} + \overline{Q_1} \\ y2 = Q_1 \overline{Q_0} \\ y3 = Q_1 \overline{Q_0} + \overline{Q_1} Q_0 \end{cases}$$

