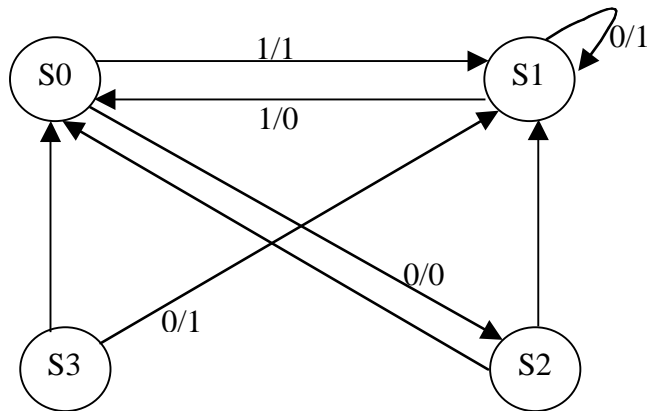


# COMPITO A

NOME e COGNOME (STAMPATELLO)

## Esercizio 1A (15 punti)

Dato l'automata:



- disegnare il diagramma temporale per la sequenza di ingresso 01001001 specificando stati e ed uscita (cioè, per ogni input, diagrammare  $Q_1Q_0$  che rappresentano lo stato dell'automata, e  $Y$  che rappresenta l'uscita emessa);
- minimizzare l'automata e, seguendo lo schema di sintesi, progettare la rete sequenziale usando flip-flop di tipo D e disegnarla.

**NOTA: il diagramma temporale va disegnato per l'automata NON minimizzato.**

## Esercizio 2(15 punti)

Si progetti un circuito che, presi in input due stringhe binarie, dà in output 1 se e solo se la somma aritmetica dei valori binari associati alle due stringhe ricevute fino a quel momento è un multiplo di 4. Si assuma che la prima cifra ricevuta sia la cifra più significativa del valore binario associato alla stringa stessa. Per esempio

**Input:** 100100...

100010...

**Output:** 011000...

Si segua lo schema di sintesi visto a lezione, inclusa la minimizzazione dell'automata e la semplificazione delle espressioni booleane ottenute dalle mappe di Karnaugh tramite porte NAND, NOR, XOR e NXOR (se possibile). Si usino flip-flop di tipo JK e non si utilizzino alcun modulo di somma predefinito. (**Importante:** tutta la "difficoltà" dell'esercizio sta nella progettazione dell'automata; pertanto 6 punti saranno assegnati solo per questa parte dell'esercizio).

# COMPITO B

NOME e COGNOME (STAMPATELLO)

## Esercizio 1B (13 punti)

Sono dati quattro registri sorgente S0, S1, S2, S3 e quattro registri destinazione D0, D1, D2, D3 da 8 bit ciascuno. Si vogliono realizzare i seguenti trasferimenti:

1. se la somma dei valori in S0 e S1 è maggiore della somma dei valori in S2 e S3 allora  $D_i = S_i$
2. se la somma dei valori in S0 e S1 è minore della somma dei valori in S2 e S3 allora  $D_i = (S_i + 1) \text{ MOD } 2^8$
3. altrimenti  $D_i = \overline{S_i}$  (dove  $\overline{S_i}$  è il complemento bit a bit di  $S_i$ )

I trasferimenti sono abilitati da un segnale esterno GO. Si progetti in dettaglio il circuito in grado di realizzare il comportamento descritto; si possono utilizzare i moduli predefiniti per somma e confronto tra numeri naturali visti a lezione.

## Esercizio 2B (17 punti)

Seguendo lo schema di sintesi, progettare e disegnare la rete sequenziale con flip-flop di tipo D in grado di riconoscere le sequenze 100 e 111

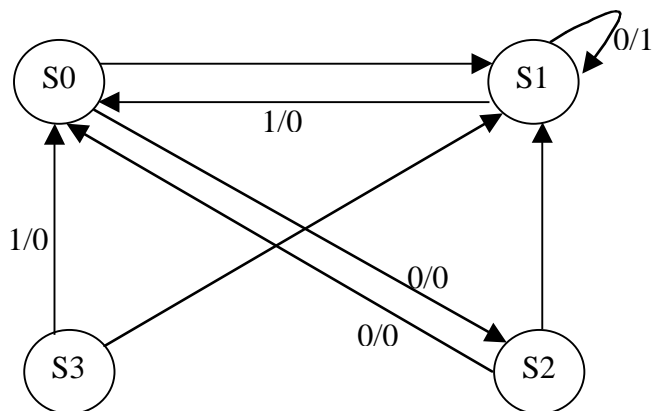
- a) **con** eventuali sovrapposizioni,
- b) **senza** sovrapposizioni.

NOTA: NON CHIEDETE COSA VUOL DIRE SOVRAPPOSIZIONE: stato pi volte spiegato ed stato materia di esercizi a lezione e compiti di esame.

## Soluzioni

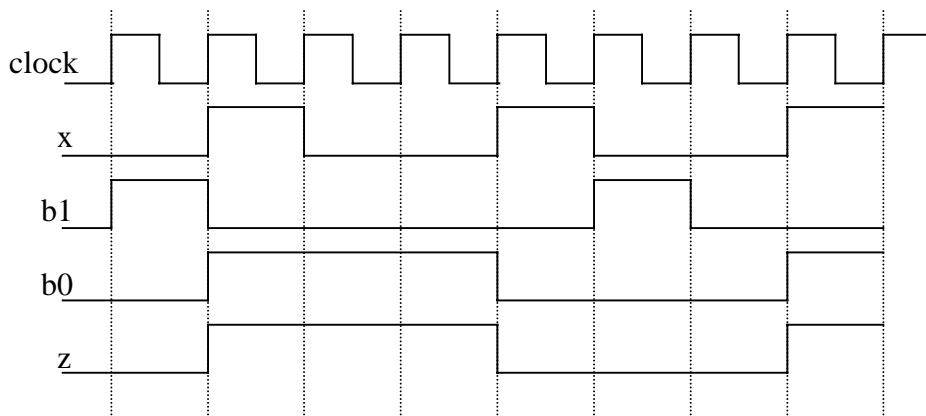
### Esercizio 1A

Dato l'automata:



- c) disegnare il diagramma temporale per la sequenza di ingresso 01001001 specificando stati e ed uscita;
- d) minimizzare l'automata e, seguendo lo schema di sintesi, progettare la rete sequenziale usando flip-flop di tipo D e disegnarla.

a) Codificando gli stati con due bit, b1b0, come: S0=00 S1=01 S2=10 S3=11 si ottiene il diagramma temporale:



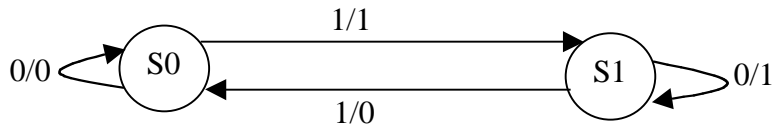
b) L'automata può essere rappresentato dalla seguente tabella:

	0	1
S0	S2/0	S1/1
S1	S1/1	S0/0
S2	S0/0	S1/1
S3	S1/1	S0/0

Per minimizzare si utilizza la tabella triangolare:

S1	X		
S2		X	
S3	X		X
	S0	S1	S2

L automa minimo si presenta come:



e rappresenta un controllore di parità.

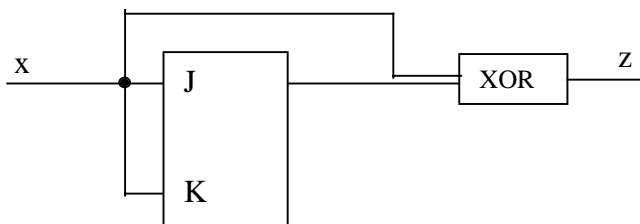
La tabella degli stati futuri :

x	q	Q	z	J	K
0	0	0	0	0	x
0	1	1	1	x	0
1	0	1	1	1	x
1	1	0	0	x	1

da cui minimizzando con Karnaugh si ricavano le espressioni:

$$J = x, \quad K = x, \quad z = x \text{ XOR } q$$

Il circuito è:



### Esercizio 2A

Si progetti un circuito che, presi in input due stringhe binarie, dà in output 1 se e solo se la somma dei valori binari associati alle due stringhe ricevute fino a quel momento è un multiplo di 4. Si assuma che la prima cifra ricevuta sia la cifra più significativa del valore binario associato alla stringa stessa. Per esempio

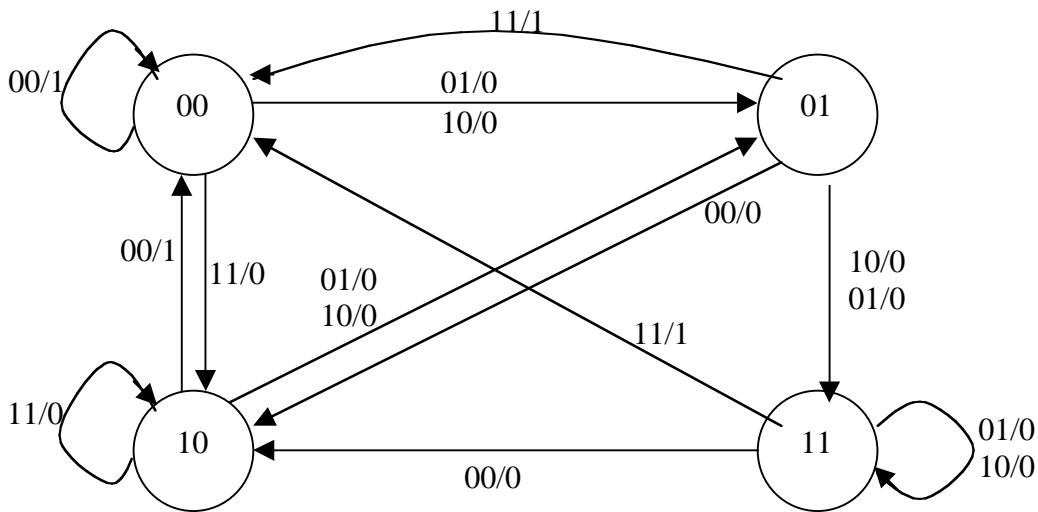
**Input:** 100100...

100010...

**Output:** 011000...

Si segua lo schema di sintesi visto a lezione, inclusa la minimizzazione dell'automa e la semplificazione delle espressioni booleane ottenute dalle mappe di Karnaugh tramite porte NAND, NOR, XOR e NXOR (se possibile). Si usino flip-flop di tipo JK e non si utilizzi alcun modulo di somma predefinito. (**Importante:** tutta la "difficoltà" dell'esercizio sta nella progettazione dell'automa; pertanto 6 punti saranno assegnati solo per questa parte dell'esercizio).

Vale la pena realizzare l'automa associando agli stati gli ultimi due bit della rappresentazione binaria della somma dei due valori di input ricevuti fino a quel momento. Pertanto si avrà



In rappresentazione tabellare l'automa è

	00	01	10	11
S0	S0/1	S1/0	S1/0	S2/0
S1	S2/0	S3/0	S3/0	S0/1
S2	S0/1	S1/0	S1/0	S2/0
S3	S2/0	S3/0	S3/0	S0/1

Chiaramente l'automa è minimizzabile in

	00	01	10	11
T0	T0/1	T1/0	T1/0	T0/0
T1	T0/0	T1/0	T1/0	T0/1

La tabella degli stati futuri è

x	y	Q(t)	Q(t+1)	z	J	K
0	0	0	0	1	0	-
0	0	1	0	0	-	1
0	1	0	1	0	1	-
0	1	1	1	0	-	0
1	0	0	1	0	1	-
1	0	1	1	0	-	0
1	1	0	0	0	0	-
1	1	1	0	1	-	1

Usando le mappe di Karnaugh si ottiene

$$z = \underline{x}yQ + x\underline{y}Q \quad J = \underline{x}y + x\underline{y} \quad K = xy + \underline{x}\underline{y}$$

Le ultime due espressioni possono essere scritte come

$$J = x \oplus y \quad K = x \otimes y$$

Da esse si ricava facilmente il circuito risultante.

### Esercizio 1B

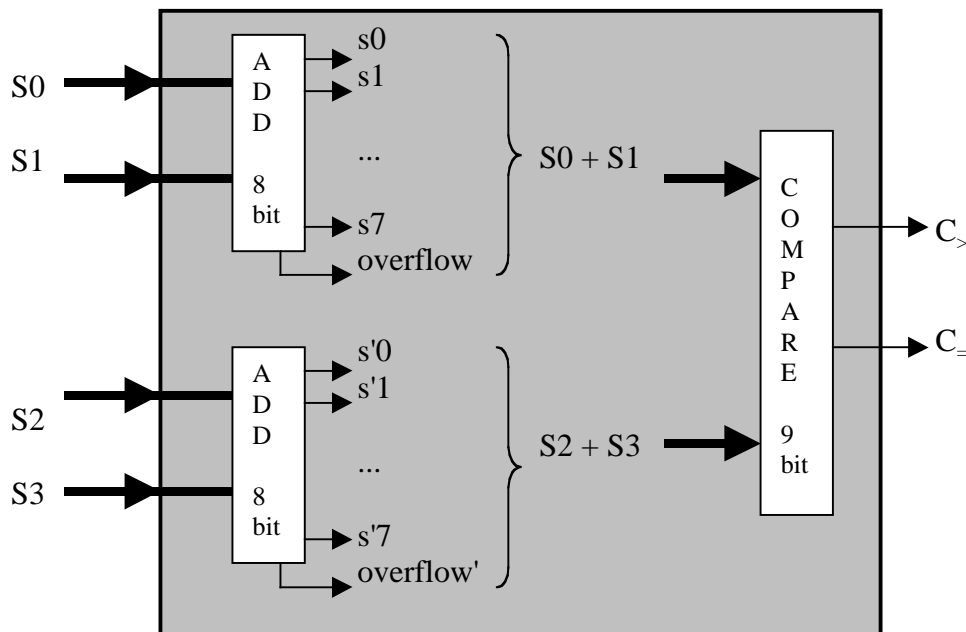
Sono dati quattro registri sorgente S0, S1, S2, S3 e quattro registri destinazione D0, D1, D2, D3 da 8 bit ciascuno. Si vogliono realizzare i seguenti trasferimenti:

1. se la somma dei valori in S0 e S1 è maggiore della somma dei valori in S2 e S3 allora Di Si
2. se la somma dei valori in S0 e S1 è minore della somma dei valori in S2 e S3 allora
  - a. Di (Si + 1) MOD 2<sup>8</sup>
  - b. altrimenti Di Si (dove Si è il complemento bit a bit di Si)

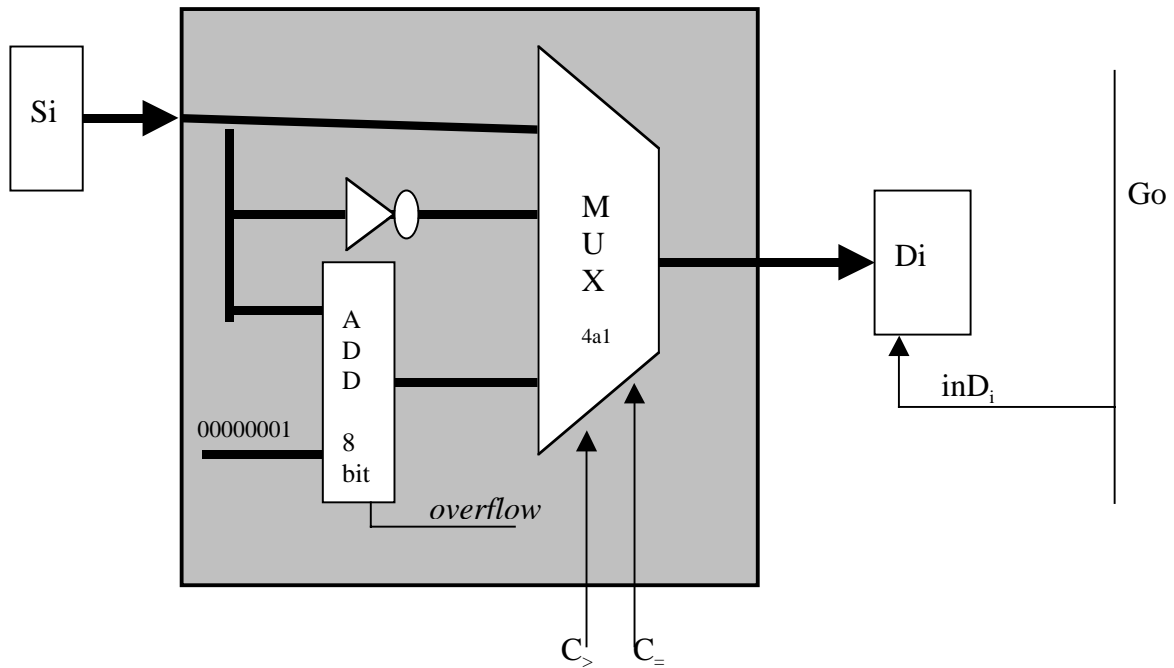
I trasferimenti sono abilitati da un segnale esterno GO. Si progetti in dettaglio il circuito in grado di realizzare il comportamento descritto; si possono utilizzare i moduli predefiniti per somma e confronto tra numeri naturali visti a lezione.

Realizziamo separatamente il circuito di controllo e quelli per l'interconnessione.

#### Circuito di Controllo :



Circuito di interconnessione per Di :



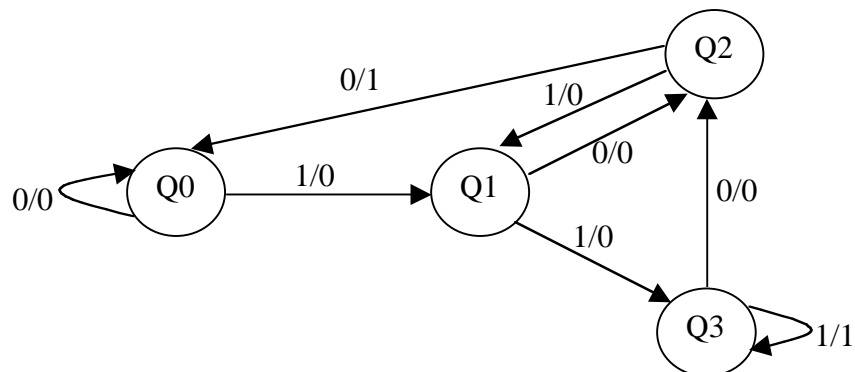
dove il multiplexer seleziona la linea più in alto con l'input  $C_{>}C_{=} = 10$ , seleziona la linea di mezzo con 01 e seleziona la linea più in basso con 00.

### Esercizio 2B

Seguendo lo schema di sintesi, progettare e disegnare la rete sequenziale con flip-flop di tipo D in grado di riconoscere le sequenze 100 e 111

- c) **con** eventuali sovrapposizioni,
- d) **senza** sovrapposizioni.

a) L'automata nel caso di riconoscimento di sequenze con sovrapposizioni :



La tabella di verità :

x	q1	q0	Q1	Q0	z	D1	D0
0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	0	0	1	0
1	0	0	0	1	0	0	1
1	0	1	1	1	0	1	1
1	1	0	0	1	0	0	1
1	1	1	1	1	1	1	1

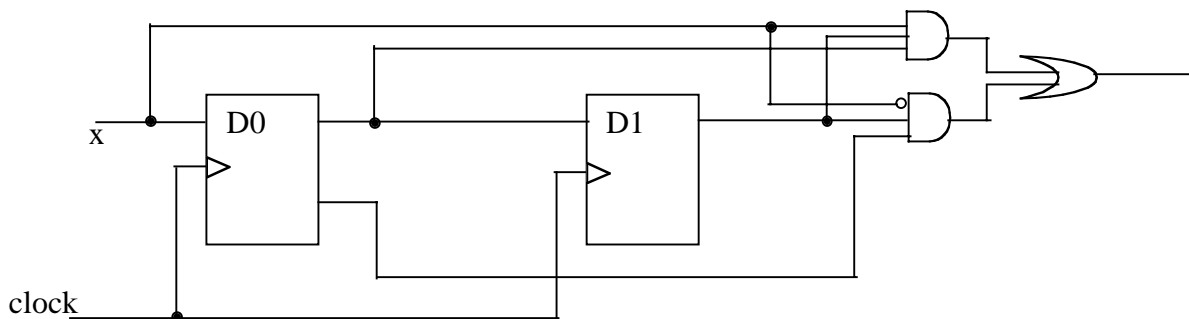
Usando le mappe di Karnaugh (o semplicemente osservando la tabella) si ottengono le espressioni minimizzate:

$$D1 = q0$$

$$D2 = x$$

La funzione di uscita è:  $z = \underline{x} q1 \underline{q0} + x q1 q0$

Il circuito è:



b) Nel caso di riconoscimento di sequenze senza sovrapposizioni, l'automata :

