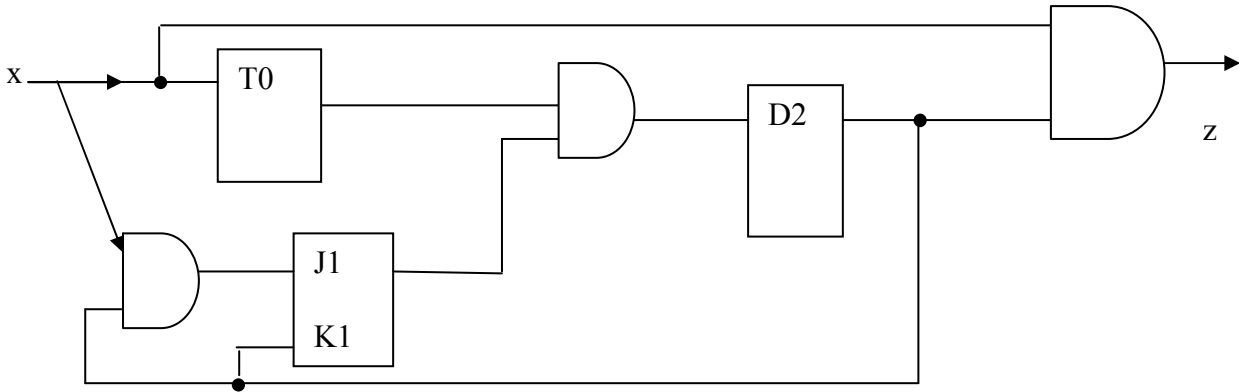


Appello di Progettazione di Sistemi Digitali

2 Luglio 2013 - Docenti: Proff. Gorla e Massini

Esercizio 1 (5 punti): Analizzare il seguente circuito sequenziale fino alla descrizione verbale del circuito, assumendo che all'inizio i flip flop siano impostati a $q_2 q_1 q_0 = 110$.



SOLUZIONE:

Le espressioni booleane associate alle entrate dei FF e all'uscita del circuito sono:

$$\begin{aligned} T0 &= x \\ J1 &= x Q2 \\ K1 &= Q2 \\ D2 &= Q0 Q1 \\ z &= x Q2 \end{aligned}$$

Da esse si può costruire la tabella degli stati futuri

x	$Q2$	$Q1$	$Q0$	$T0$	$J1$	$K1$	$D2$	$Q2'$	$Q1'$	$Q0'$	z
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	1	1	1	1	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	1	0	0	0	1	0
0	1	1	0	0	0	1	0	0	0	0	0
0	1	1	1	0	0	1	1	1	0	1	0
1	0	0	0	1	0	0	0	0	0	1	0
1	0	0	1	1	0	0	0	0	0	0	0
1	0	1	0	1	0	0	0	0	1	1	0
1	0	1	1	1	0	0	1	1	1	0	0
1	1	0	0	1	1	1	0	0	1	1	1
1	1	0	1	1	1	1	0	0	1	0	1
1	1	1	0	1	1	1	0	0	0	1	1
1	1	1	1	1	1	1	1	1	0	0	1

Prendendo come configurazione iniziale quella per cui $Q2 Q1 Q0 = 110$, si ottiene il seguente automa che descrive il funzionamento del circuito (N.B.: alcuni stati sono irraggiungibili partendo da 110, pertanto sono omessi nell'automa):

	0	1
110	000/0	001/1
000	000/0	001/0
001	001/0	000/0

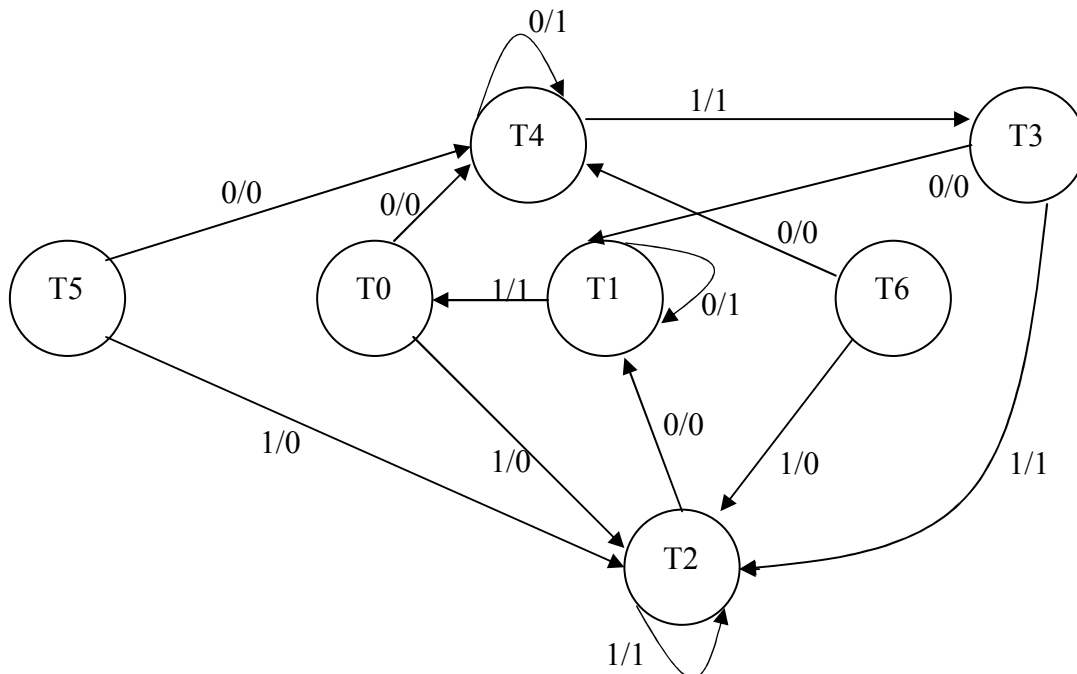
Si può notare che l'automa non è minimo, e fondere gli stati 000 e 001, ottenendo

	0	1
S0	S1/0	S1/1
S1	S1/0	S1/0

Cioè, questo circuito da 1 solo quando riceve in ingresso sequenze di bit del tipo 1000...000...

Esercizio 2 (12 punti)

a) Minimizzare il seguente automa con stato iniziale T0 (4 punti):



SOLUZIONE:

Si può osservare che da T0 gli stati T5 e T6 non sono raggiungibili e quindi rimuoverli subito. All'automa così ottenuto si applica l'algoritmo di minimizzazione (richiesto in sede d'esame, qui omesso per brevità), ottenendo che gli stati T2 e T3 sono equivalenti, da cui l'automa minimo è

	0	1
S0 (T0)	S3/0	S2/0
S1 (T1)	S1/1	S0/1
S2 (T2+T3)	S1/0	S2/1
S3 (T4)	S3/1	S2/1

b) Realizzare la rete sequenziale relativa all'automata minimo con flip flop di tipo SR (5 punti).

SOLUZIONE:

Anzitutto codifichiamo gli stati nel modo seguente:

- S0 → 00
- S1 → 01
- S2 → 10
- S3 → 11

Dalla tabella dell'automata minimo, scriviamo ora la tabella degli stati futuri insieme alle funzioni di eccitazione dei FF:

x	$Q1$	$Q0$	$Q1'$	$Q0'$	z	$S1$	$R1$	$S0$	$R0$
0	0	0	1	1	0	1	0	1	0
0	0	1	0	1	1	0	-	-	0
0	1	0	0	1	0	0	1	1	0
0	1	1	1	1	1	-	0	-	0
1	0	0	1	0	0	1	0	0	-
1	0	1	0	0	1	0	-	0	1
1	1	0	1	0	1	-	0	0	-
1	1	1	1	0	1	-	0	0	1

Mediante le mappe di Karnaugh (richieste nello svolgimento, ma non riportate per motivi di spazio), ci calcoliamo le espressioni booleane in forma SOP minimale per le entrate dei FF e per l'uscita del circuito:

$$z = Q0 + x Q1$$

$$S1 = \underline{Q0} \underline{Q1}$$

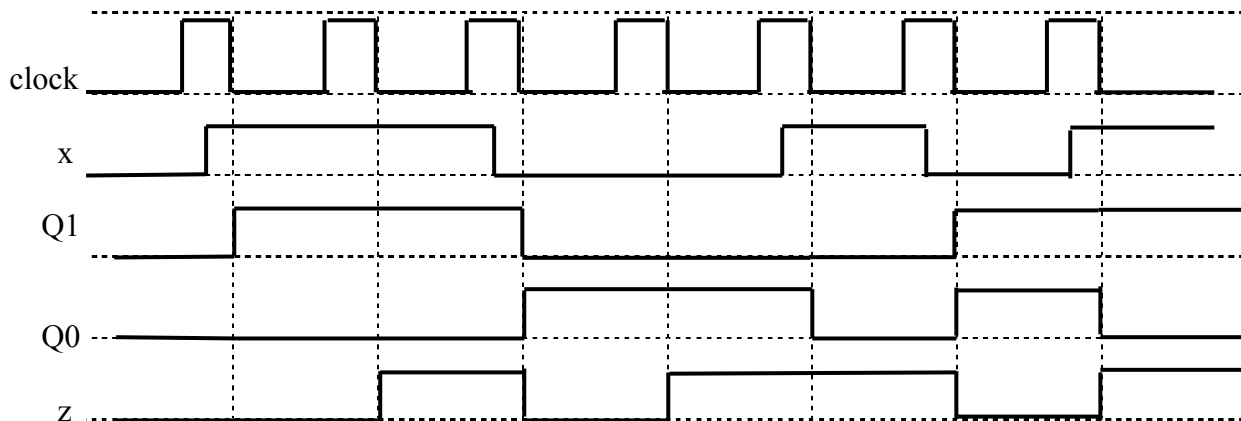
$$R1 = \underline{x} \underline{Q1} \underline{Q0}$$

$$S0 = \underline{x}$$

$$R0 = x$$

e da queste bisogna disegnare il circuito (omesso perché banale, ma richiesto all'esame).

c) Mostrare il diagramma temporale in corrispondenza della stringa di input 1100101 (3 punti).



Esercizio 3 (8 punti):

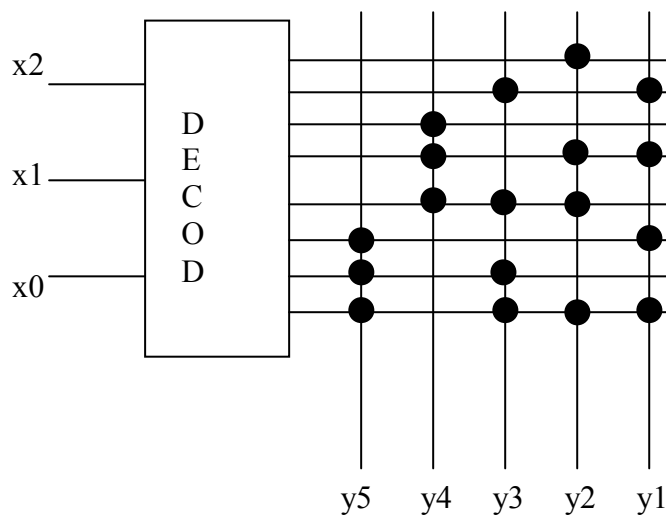
a) Progettare la rete combinatoria che ha sulle linee di ingresso la codifica binaria di un intero x , $0 \leq x \leq 7$, e sulle linee di uscita la codifica binaria di $y = y_4 y_3 y_2 y_1 y_0 = 3x + 2$, usando una ROM. (3 punti)

SOLUZIONE:

La tabella che descrive la funzione richiesta è:

x_2	x_1	x_0	y_5	y_4	y_3	y_2	y_1
0	0	0	0	0	0	1	0
0	0	1	0	0	1	0	1
0	1	0	0	1	0	0	0
0	1	1	0	1	0	1	1
1	0	0	0	1	1	1	0
1	0	1	1	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	1	0	1	1	1

Da essa si ottiene la seguente ROM (con decodificatore):



b) scrivere la forma canonica POS di y_2 (1 punto)

$$M_0 M_2 M_3 M_5 = (x_2 + x_1 + x_0) (x_2 + \underline{x_1} + x_0) (x_2 + \underline{x_1} + \underline{x_0}) (\underline{x_2} + x_1 + x_0)$$

c) scrivere la forma canonica SOP di y_3 (1 punto)

$$m_2 + m_3 + m_4 = \underline{x_2} x_1 \underline{x_0} + \underline{x_2} x_1 x_0 + x_2 \underline{x_1} \underline{x_0}$$

d) realizzare y_1 con sole porte NAND (3 punti)

Dalle mappe di Karnaugh, si ottiene che $y_1 = x_1 x_0 + \underline{x_1} \underline{x_0}$

A questo punto si lavora usando De Morgan e la definizione della negazione con porte NAND

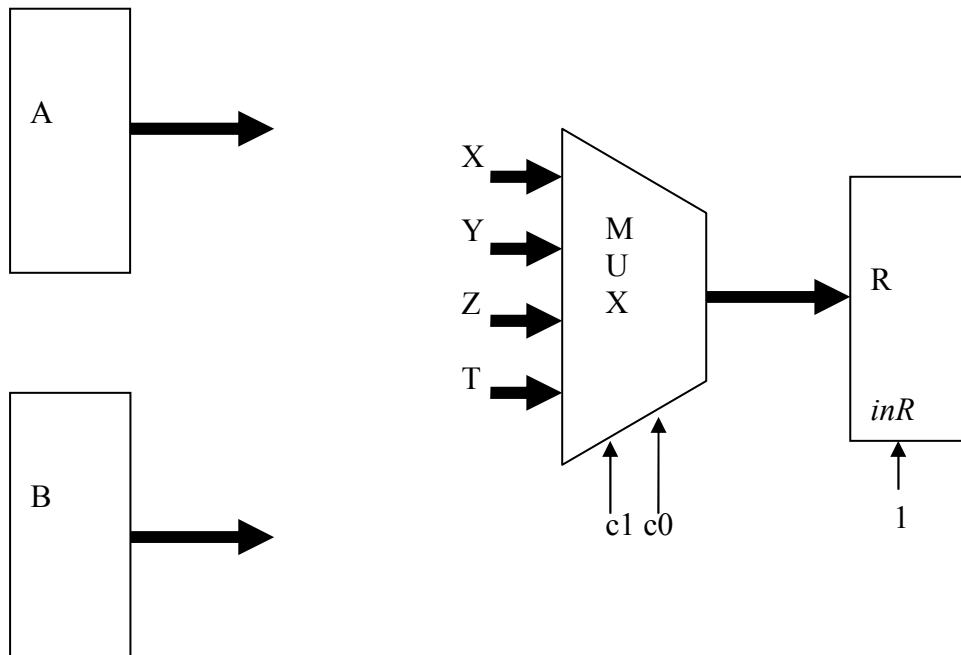
$$\begin{aligned} x_1 x_0 + \underline{x_1} \underline{x_0} &= x_1 x_0 + (\underline{x_1} + \underline{x_0}) \\ &= (\underline{x_1} \underline{x_0}) \text{ NAND } (x_1 + x_0) \\ &= (x_1 \text{ NAND } x_0) \text{ NAND } (\underline{x_1} \text{ NAND } \underline{x_0}) \\ &= (x_1 \text{ NAND } x_0) \text{ NAND } ((x_1 \text{ NAND } x_1) \text{ NAND } (x_0 \text{ NAND } x_0)) \end{aligned}$$

Esercizio 4 (6 punti) Dati i registri sorgente A e B contenenti valori nella rappresentazione in complemento a 2, il registro destinazione R e due segnali di controllo, c1c0, progettare il circuito tale che:

- se c1c0=(0,0) trasferisce in R il successore di B
- se c1c0=(0,1) trasferisce in R il massimo tra A e B
- se c1c0=(1,0) trasferisce in R il risultato della somma aritmetica tra A e B
- se c1c0=(1,1) trasferisce in R il predecessore di A

SOLUZIONE:

L'interconnessione richiesta è:



dove i quattro ingressi al MUX (con X selezionato se c1 c0 = 00, Y se 01, Z se 10 e T se 11) sono dati dai seguenti circuiti più elementari:

