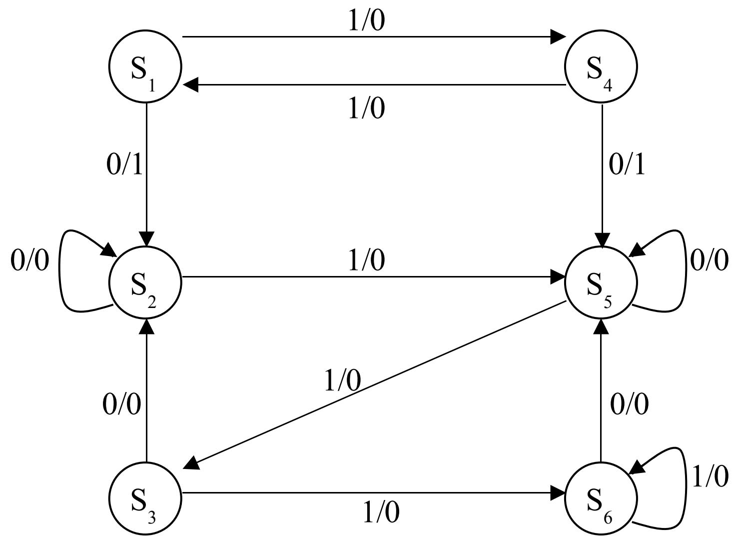
SOLUZIONI SECONDO ESONERO di PROGETTAZIONE di SISTEMI DIGITALI
CANALE A-L prof. Gorla

Esercizio 1. Si consideri il seguente automa di Mealy, con stato iniziale S_1:



a) Minimizzare l'automa dato (5 punti):

Confrontiamo gli stati a coppie, ponendo immediatamente distinguibili (X) quelli che lo sono perché producono output diversi con lo stesso input. Per quelli che non sono distinguibili immediatamente dall'output scriviamo per ogni possibile input la coppia di stati futuri (omettendo coppie composte da un unico stato o corrispondenti ai due stati che si stanno confrontando).

S_2	X				
S_3	X	(5,6)			
S_4	(2,5)	X	X		
S_5	X	(3,5)	(2,5) (3,6)	X	
S_6	X	(2,5) (5,6)	(2,5)	X	(3,6)
	S_1	S_2	S_3	S_4	S_5

Visto che ci sono ancora coppie di stati che non si sa se sono distinguibili procediamo a sostituire ordinatamente ogni coppia di stati con l'insieme di coppie da cui dipende per la distinguibilità. La prima coppia che possiamo sostituire è (2,5), con (3,5)

S_2	X				
S_3	X	(5,6)			
S_4	**(3,5)**	X	X		
S_5	X	(3,5)	**(3,6)**	X	
S_6	X	**(3,5) (5,6)**	**(3,5)**	X	(3,6)
	S_1	S_2	S_3	S_4	S_5

Si noti che in posizione 3,5 è rimasta la sola coppia (3,6) in quanto (3,5) è superflua (poiché corrisponde alla coppia che confrontiamo in quella posizione). Procediamo quindi a sostituire (3,5) con (3,6).

S_2	X				
S_3	X	(5,6)			
S_4	**(3,6)**	X	X		
S_5	X	**(3,6)**	**(3,6)**	X	
S_6	X	**(3,6)** (5,6)		X	**(3,6)**
	S_1	S_2	S_3	S_4	S_5

In 3,6 non c'è più nessuna coppia e quindi questi due stati sono indistinguibili. Procediamo a sostituire (3,6) con l'"insieme vuoto".

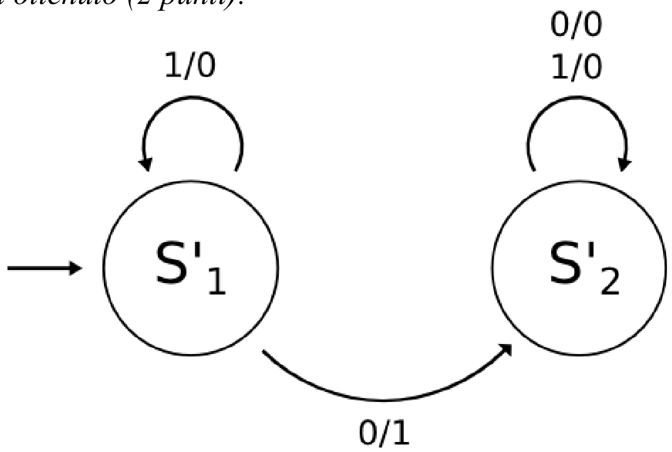
S_2	X				
S_3	X	(5,6)			
S_4		X	X		
S_5	X			X	
S_6	X	(5,6)		X	
	S_1	S_2	S_3	S_4	S_5

E' rimasto (5,6) da sostituire anch'esso con l'insieme vuoto.

S_2	X				
S_3	X				
S_4		X	X		
S_5	X			X	
S_6	X			X	
	S_1	S_2	S_3	S_4	S_5

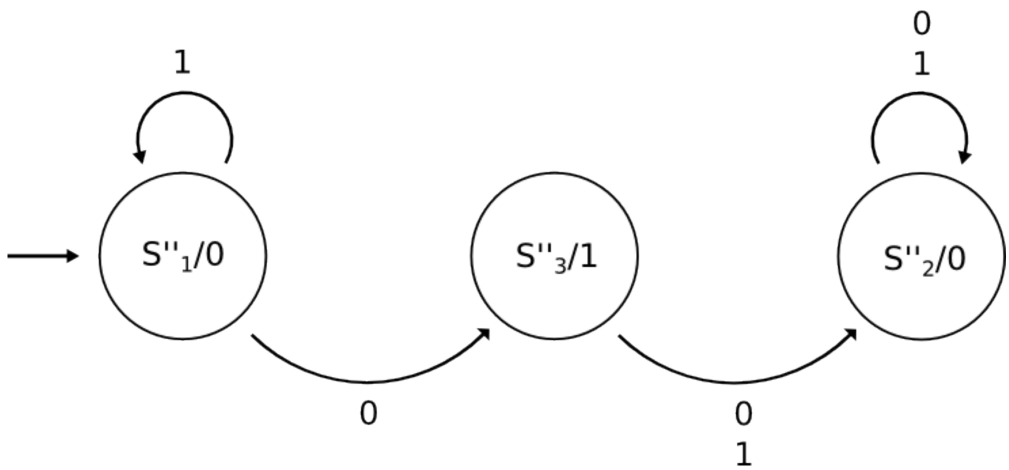
Abbiamo quindi dimostrato l'indistinguibilità tra gli stati S_1 ed S_4 e tra S_2, S_3, S_5 ed S_6.
L'automa minimo sarà quindi composto da due stati S'_1 ed S'_2, corrispondenti rispettivamente agli insiemi di stati $\{S_1,S_4\}$ e $\{S_2,S_3,S_5,S_6\}$.

b) Disegnare l'automa minimo così ottenuto (2 punti):



c) Disegnare l'automa di Moore equivalente all'automa di Mealy minimo (3 punti)

In S'_1 si arriva soltanto producendo 0 in output, mentre in S'_2 si arriva sia producendo 0 che 1. Gli stati necessari nell'automa di Moore sono quindi 3.



$(S'_1,0) \rightarrow S''_1$
$(S'_2,0) \rightarrow S''_2$
$(S'_2,1) \rightarrow S''_3$

d) Descrivere sinteticamente a parole il comportamento dell'automa (2 punti):

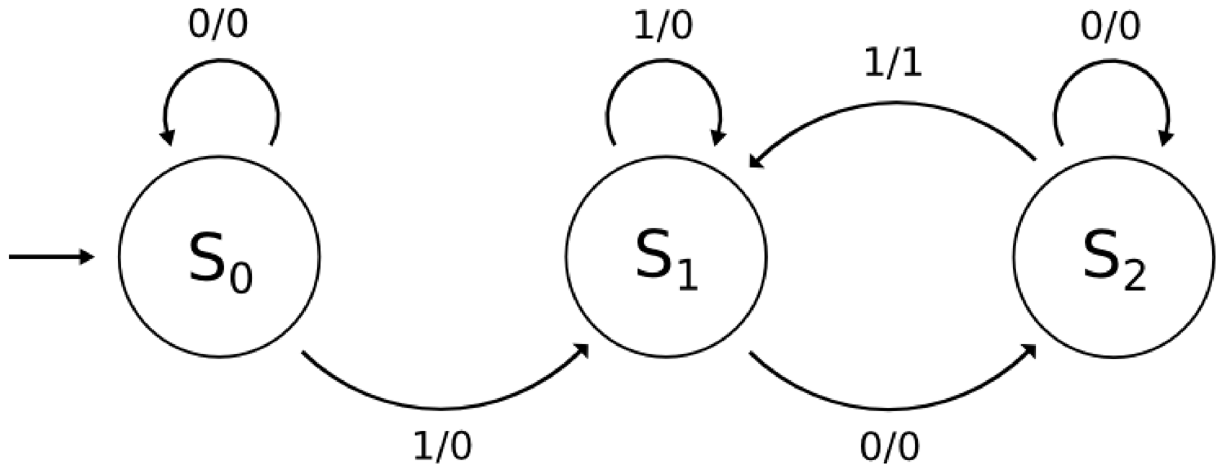
L'automa restituisce 1 solo in corrispondenza del primo 0; per tutti gli altri input restituisce sempre 0.

Esercizio 2. Realizzare una rete sequenziale che dia in output 1 ogni volta che legge da input due 1 non consecutivi (cioè, inframezzati da almeno uno 0). Per esempio:

IN: 0001101000101011…
OUT: 0000001000101010…

Si utilizzino flip-flop di tipo JK e si mostrino tutti i passaggi della procedura di sintesi: disegno dell'automa (4 punti), tabella degli stati futuri/output/funzioni di eccitazione (3 punti), calcolo delle espressioni SOP minime (2 punti) e disegno della rete finale (1 punto).

Quindi se utilizziamo un automa di Mealy ci sarà uno stato (S_0) che rappresenta la fase iniziale, producendo 0 in output fin quando non arriva il primo 1. Poi ci sarà uno stato (S_1) che "assorbe" tutti gli eventuali 1 successivi, producendo sempre 0 in output. Quando arriva uno 0 si passa ad un nuovo stato (S_2) che produce 0 fino a quando non arriva in input un 1. A quel punto produrrà 1 in output e passerà nuovamente allo stato S_1, poiché per i successivi 1 in input deve produrre sempre 0 in output.



Dobbiamo rappresentare 3 stati e ci serviranno quindi 2 flip/flop, che chiameremo 0 e 1. Rappresentiamo ogni stato dell'automa con una coppia di valori Q_1,Q_0: S_0 con (0,0), S_1 con (0,1) e S_2 con (1,0).
Scriviamo quindi la tabella di verità degli stati futuri/output/funzioni di eccitazione

Q_1	Q_0	I	O	Q'_1	Q'_0	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	X	0	X
0	0	1	0	0	1	0	X	1	X
0	1	0	0	1	0	1	X	X	1
0	1	1	0	0	1	0	X	X	0
1	0	0	0	1	0	X	0	0	X
1	0	1	1	0	1	X	1	1	X
1	1	0	X	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X	X

Possiamo ora calcolare le espressioni SOP minimali di OUT, J_1, K_1, J_0, K_0, utilizzando le mappe di Karnaught.

OUT

IN \ $Q_1 Q_0$	00	01	11	10
0	0	0	X	0
1	0	0	X	1

J_0

IN \ $Q_1 Q_0$	00	01	11	10
0	0	X	X	0
1	1	X	X	1

K_0

IN \ $Q_1 Q_0$	00	01	11	10
0	X	1	X	X
1	X	0	X	X

J_1

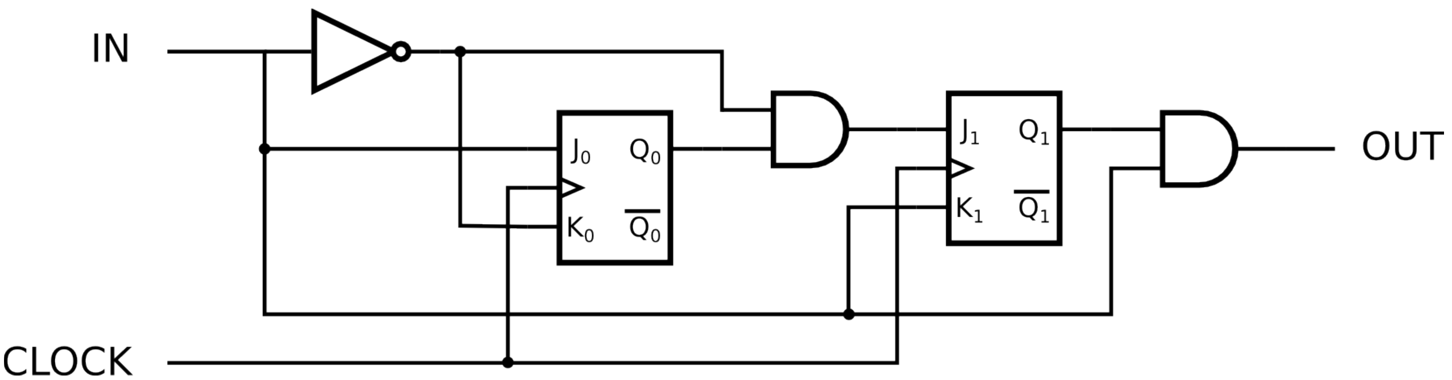
IN \ $Q_1 Q_0$	00	01	11	10
0	0	1	X	X
1	0	0	X	X

K_1

IN \ $Q_1 Q_0$	00	01	11	10
0	X	X	X	0
1	X	X	X	1

$O=Q_1 \cdot I$ $\qquad J_0=I$ $\qquad K_O=\overline{I}$ $\qquad J_1=Q_0 \cdot \overline{I}$ $\qquad K_1=I$

Possiamo quindi a questo punto disegnare il circuito.



Esercizio 3 *(10 punti)***.** Si supponga di avere 4 registri (da *n* bit, con *n* generico) R_0, R_1, R_2 ed R_3, e due segnali di controllo c_1 e c_0. Si progetti un'interconnessione tale che:

- Se $c_0 = c_1 = 0$, allora mette in R_2 la somma di R_0 ed R_1;
- Se $c_0 = c_1 = 1$, allora mette in R_3 la somma di R_0 ed R_1;
- Se $c_0 = 0$ e $c_1 = 1$, allora copia R_0 in R_2 ed R_1 in R_3;

•Se $c_0 = 1$ e $c_1 = 0$, allora copia R_0 in R_3 ed R_1 in R_2.
Si specifichi lo schema di interconnessione e i segnali di controllo inR_0, inR_1, inR_2 ed inR_3, usando moduli combinatori noti (per es., ADD, MUX, DECOD, …) con ingressi e uscite da *n* bit.

I registri di destinazione possibili sono R_2 e R_3, mentre i valori che vi possono essere inseriti sono il contenuto di R_0, di R_1 o la loro somma. In maniera schematica:

c_0	c_1	inR_2	Valore da copiare	inR_3	Valore da copiare
0	0	1	R_0+R_1	0	-
0	1	1	R_0	1	R_1
1	0	1	R_1	1	R_0
1	1	0	-	1	R_0+R_1

Pertanto, $inR_2 = NAND(c_0,c_1)$ e $inR_3 = OR(c_0,c_1)$. Poiché R_0 ed R_1 in non ricevono valori, i bit inR_0 ed inR_1 possono essere messi a 0 (ma anche a 1 va bene). Possiamo dunque disegnare il circuito: